

[19]中华人民共和国国家知识产权局

[51]Int. Cl?

H01L 21/00

## [12] 发明专利申请公开说明书

[21] 申请号 00118807.0

[43]公开日 2000 年 12 月 13 日

[11]公开号 CN 1276622A

[22]申请日 2000.3.26 [21]申请号 00118807.0

[30]优先权

[32]1999.3.26 [33]JP [31]84736/99

[71]申请人 株式会社半导体能源研究所

地址 日本神奈川县

[72]发明人 山崎舜平 小山润

[74]专利代理机构 中国专利代理(香港)有限公司

代理人 张志醒

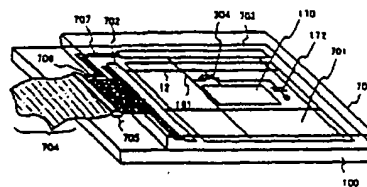
权利要求书 5 页 说明书 34 页 附图页数 21 页

[54]发明名称 制造光电器件的方法

[57]摘要

本发明的目的在于提供一种具有高操作性能和稳定性的光电器件,以及制造该光电器件的方法。

Low 区 207 设置在含有驱动电路的 n-沟道 TFT302 中,实现了抗热流干扰的 TFT 结构。Loff 区 217~220 设置在含有像素部分的 n-沟道 TFT304 中,实现了具有低断开电流值的 TFT 结构。通过层叠第一布线 and 电阻率比第一布线低的第二布线形成输入-输出信号布线 305 和栅极布线 306,并且布线的电阻率大为减小。



ISSN 1008-4274

BEST AVAILABLE COPY

## 权 利 要 求 书

1. 一种光电器件, 在其基片上具有像素部分和驱动电路; 该光电器件包括:  
所说驱动电路的 n-沟道 TFT, 有至少一个 LDD 区, 该 LDD 区的部分或  
5 全部将所说驱动电路的所说 n-沟道 TFT 的栅极用插在它们之间的栅绝缘膜覆盖起来;

所说像素部分的像素 TFT, 有至少一个 LDD 区, 该 LDD 区不用插在它们之间的栅绝缘膜覆盖所说像素 TFT 的栅极; 和

包括第一布线和第二布线的布线, 其中第一布线与所说像素 TFT 的所说  
10 栅极有相同的材料并且形成在同一层中, 第二布线的电阻率比所说第一布线的低;

其中所说第一布线和所说第二布线是层叠的。

2. 根据权利要求 1 所述的光电器件, 其中 n-型掺杂元素以高于所说像素 TFT 的所说 n-沟道 TFT 的所说 LDD 区的 2~10 倍的浓度包含在所说驱动电路的所说  
15 说 n-沟道 TFT 的 LDD 区中。

3. 根据权利要求 1 所述的光电器件, 其中所说驱动电路的所说 n-沟道 TFT 的所说 LDD 区中含有的 n-型掺杂元素, 其浓度范围是  $2 \times 10^{16}$  至  $5 \times 10^{19}$  原子/cm<sup>3</sup>, 其在所说像素 TFT 的所说 LDD 区中的浓度范围为  $1 \times 10^{16}$  至  $5 \times 10^{18}$  原子/cm<sup>3</sup>。

20 4. 根据权利要求 1 所述的光电器件, 其中所说布线是输入-输出信号布线或栅极布线。

5. 根据权利要求 1 所述的光电器件, 其中所说第二布线的电阻率是所说第一布线的电阻率的 1/10~1/100。

6. 根据权利要求 1 所述的光电器件, 其中所说第一布线的电阻率是 10~500  
25  $\mu\Omega\text{cm}$ , 所说第二布线的电阻率是 0.1~10  $\mu\Omega\text{cm}$ 。

7. 根据权利要求 1 所述的光电器件, 其中所说第一布线包含从钽、钛、钼、钨、铬、铌和硅构成的组中选出来的一种元素, 而第二布线包含从铝、铜和银构成的组中选出来的一种元素。

8. 根据权利要求 1 所述的光电器件, 其中在一沟道形成区和所说像素 TFT  
30 的 LDD 区之间存在不重合区。

9. 根据权利要求 1 所述的光电器件, 其中该光电器件是从液晶显示器件和电致发光显示器件构成的组中选出来的一种显示器件。

10. 根据权利要求 9 所述的光电器件, 其中所说显示器件包括在从手提电话、摄像机、手提计算机、眼睛式显示器、前投影型放映机、背投影型放映机、个人计算机、游戏机、记录媒体和数码照相机构成的组中选出来的电子装置中。

11. 一种光电器件, 在其基片上具有像素部分和驱动电路, 该光电器件包括:

10 所说驱动电路具有第一 n-沟道 TFT 和第二 n-沟道 TFT, 其中第一 n-沟道 TFT 中全部 LDD 区将栅极用插在它们之间的栅极绝缘膜覆盖起来, 第二 n-沟道 TFT 中部分 LDD 区将栅极用插在它们之间的栅极绝缘膜覆盖起来;

所说像素部分具有一个像素 TFT, 其中一个 LDD 区不用插在它们之间的栅极绝缘膜覆盖所说像素 TFT 的栅极; 和

15 包括第一布线和第二布线的布线, 其中第一布线与所说像素 TFT 的所说栅极有相同的材料并且形成在同一层中, 第二布线的电阻率比所说第一布线的低;

其中所说第一布线和所说第二布线是层叠的。

12. 根据权利要求 11 所述的光电器件, 其中 n-型掺杂元素以高于所说像素 TFT 的所说 n-沟道 TFT 的所说 LDD 区的 2~10 倍的浓度包含在所说驱动电路的所说第一 n-沟道 TFT 的所说 LDD 区和/或所说第二 n-沟道 TFT 的所说 LDD 区中。

13. 根据权利要求 11 所述的光电器件, 其中所说驱动电路的所说第一 n-沟道 TFT 的所说 LDD 区和所说第二 n-沟道 TFT 的所说 LDD 区中含有的 n-型掺杂元素的浓度范围是  $2 \times 10^{16}$  至  $5 \times 10^{19}$  原子/cm<sup>3</sup>, 而在所说像素 TFT 的所说 LDD 区中的浓度范围为  $1 \times 10^{16}$  至  $5 \times 10^{18}$  原子/cm<sup>3</sup>。

14. 根据权利要求 11 所述的光电器件, 其中所说布线是输入-输出信号布线或栅极布线。

15. 根据权利要求 11 所述的光电器件, 其中所说第二布线的电阻率是所说第一布线的电阻率的 1/10~1/100。

30 16. 根据权利要求 11 所述的光电器件, 其中所说第一布线的电阻率是 10~

500  $\mu\Omega\text{cm}$ , 所说第二布线的电阻率是 0.1~10  $\mu\Omega\text{cm}$ 。

17. 根据权利要求 11 所述的光电器件, 其中所说第一布线包含从钽、钛、钼、钨、铬、铌和硅构成的组中选出来的一种元素, 而第二布线包含从由铝、铜和银构成的组中选出来的一种元素。

5 18. 根据权利要求 11 所述的光电器件, 其中在一沟道形成区和所说像素 TFT 的 LDD 区之间存在不重合区。

19. 根据权利要求 11 所述的光电器件, 其中该光电器件是从液晶显示器件和电致发光显示器件构成的组中选出来的一种显示器件。

20. 根据权利要求 19 所述的光电器件, 其中所说显示器件包括在从手提  
10 电话、摄象机、手提计算机、眼睛式显示器、前投影型放映机、背投影型放映机、个人计算机、游戏机、记录媒体和数码照相机构成的组中选出来的电子装置中。

21. 一种制造在其基片上具有像素部分和驱动电路的光电器件的方法, 包括以下步骤:

15 在所说基片上形成含有晶体结构的半导体膜;

通过在所说半导体膜中掺杂 p-型掺杂元素形成 p-型掺杂区 (b);

通过在所说半导体膜的形成驱动电路的 n-沟道 TFT 的区中掺杂 n-型掺杂元素形成 n-型掺杂区 (b);

通过摹制所说半导体膜形成活性层;

20 在所说活性层上形成栅绝缘膜;

在所说栅绝缘膜上形成导电膜;

通过摹制所说导电膜形成第一布线;

通过用所说第一布线作为掩模向所说活性层中掺杂 n-型掺杂元素形成 n-型掺杂区 (c);

25 通过在所说 n-沟道 TFT 的所说活性层中掺杂 n-型掺杂元素形成 n-型掺杂区(a);

通过在 p-沟道 TFT 的所说活性层中掺杂 p-型掺杂元素形成 p-型掺杂区(a);

激活掺杂在所说 p-型掺杂区(a)、所说 p-型掺杂区 (b)、所说 n-型掺杂区(a)、所说 n-型掺杂区 (b) 和所说 n-型掺杂区 (c) 中的掺杂元素, 并且

30 在第一布线上层叠第二布线。

22. 根据权利要求 21 所述的方法, 其中所说第二布线的电阻率是所说第一布线的电阻率的  $1/10 \sim 1/100$ 。

23. 根据权利要求 21 所述的方法, 其中所说第一布线的电阻率是  $10 \sim 500 \mu \Omega \text{ cm}$ , 所说第二布线的电阻率是  $0.1 \sim 10 \mu \Omega \text{ cm}$ 。

5 24. 根据权利要求 21 所述的方法, 其中所说第一布线包含从钽、钛、钼、钨、铬、铌和硅构成的组中选出来的一种元素, 而第二布线包含从铝、铜和银构成的组中选出来的一种元素。

25. 一种制造在其基片上具有像素部分和驱动电路的光电器件的方法, 包括以下步骤:

10 在所说基片上形成含有晶体结构的半导体膜;

在所说半导体膜上进行第一次光热处理;

通过在所说半导体膜中掺杂 p-型掺杂元素形成 p-型掺杂区 (b);

通过在所说半导体膜的形成驱动电路的 n-沟道 TFT 的区中掺杂 n-型掺杂元素形成 n-型掺杂区 (b);

15 在所说半导体膜上进行第二次光热处理;

通过摹制所说半导体膜形成活性层;

在所说活性层上形成栅绝缘膜;

在所说栅绝缘膜上形成导电膜;

通过摹制所说导电膜形成第一布线;

20 通过用所说第一布线作为掩膜向所说活性层中掺杂 n-型掺杂元素形成 n-型掺杂区 (c);

用所说第一布线作为掩模蚀刻所说栅绝缘膜;

通过在所说 n-沟道 TFT 的所说活性层中掺杂 n-型掺杂元素形成 n-型掺杂区(a);

25 通过在 p-沟道 TFT 的所说活性层中掺杂 p-型掺杂元素形成 p-型掺杂区(a);

激活掺杂在所说 p-型掺杂区(a)、所说 p-型掺杂区 (b)、所说 n-型掺杂区(a)、所说 n-型掺杂区 (b) 和所说 n-型掺杂区 (c) 中的掺杂元素, 并且

在第一布线上层叠第二布线。

26. 根据权利要求 25 所述的方法, 其中所说第二布线的电阻率是所说第一  
30 布线的电阻率的  $1/10 \sim 1/100$ 。

27. 根据权利要求 25 所述的方法, 其中所说第一布线的电阻率是  $10 \sim 500 \mu \Omega \text{ cm}$ , 所说第二布线的电阻率是  $0.1 \sim 10 \mu \Omega \text{ cm}$ 。

28. 根据权利要求 25 所述的方法, 其中所说第一布线包含从钽、钛、钼、钨、铬、铌和硅构成的组中选出来的一种元素, 而第二布线包含从铝、铜和银构成的组中选出来的一种元素。

29. 一种光电器件, 在其基片上具有像素部分和驱动电路, 该光电器件包括:

包含第一布线和第二布线的叠层布线,

其中所说第一布线与所说像素部分中的像素 TFT 的栅极有相同的材料并且形成在同一层中,

其中所说第二布线的电阻率比所说第一布线的低。

30. 根据权利要求 29 所述的光电器件, 其中所说叠层布线是输入-输出信号布线或栅极布线。

31. 根据权利要求 29 所述的光电器件, 其中所说第二布线的电阻率是所说第一布线的电阻率的  $1/10 \sim 1/100$ 。

32. 根据权利要求 29 所述的光电器件, 其中所说第一布线的电阻率是  $10 \sim 500 \mu \Omega \text{ cm}$ , 所说第二布线的电阻率是  $0.1 \sim 10 \mu \Omega \text{ cm}$ 。

33. 根据权利要求 29 所述的光电器件, 其中所说第一布线包含从钽、钛、钼、钨、铬、铌和硅构成的组中选出来的一种元素, 而第二布线包含从铝、铜和银构成的组中选出来的一种元素。

34. 根据权利要求 29 所述的光电器件, 其中该光电器件是从液晶显示器件和电致发光显示器件构成的组中选出来的显示器件。

35. 根据权利要求 34 所述的光电器件, 其中所说显示器件包括在从手提电话、摄像机、手提计算机、眼睛式显示器、前投影型放映机、背投影型放映机、个人计算机、游戏机、记录媒体和数码照相机构成的组中选出来的电子装置中。

# 说明书

## 制造光电器件的方法

5 本发明涉及一种半导体器件及其制造方法，该半导体器件在有绝缘表面的基片上具有由膜晶体管（以下称为“TFTs”）组成的电路。更具体地，本发明涉及由液晶显示器和 EL（电子发光）显示器代表的光电器件（也称为“电子装置”），和其上安装有光电器件的电子装置（也称为“电子器具”），其中所说液晶显示装置包括一个像素部分（像素矩阵电路）和围绕像素部分设置并形成  
10 在同一基片上的驱动电路。

应指出，在整个说明书中，半导体器件表示能利用半导体特性工作的一般器件，而光电器件、半导体电路和电子装置都归类为半导体器件。

包含有大面积集成电路的半导体器件，包括在具有绝缘表面的基片上形成的 TFTs，的发展已经取得了显著进步。有源矩阵型液晶显示器、EL 显示器和  
15 闭合接头型图象传感器就是这种半导体装置的典型代表。特别是因为 TFTs 使用多晶硅膜（典型地为聚硅膜）作为有源电路（该 TFT 以下称之为“多晶硅 TFT”）具有高的电场灵活性，它们能形成各种功能的电路。

在有源矩阵型液晶显示装置中，例如，一个集成电路包括为每个功能块显示图象的像素部分、均以 CMOS 电路和采样电路为基础相移寄存器电路、电  
20 平移相器电路、缓冲电路等等，形成在一个基片上。在闭合接头型图象传感器的情况下，通过使用 TFTs 来形成诸如采样-保持电路、相移寄存器电路、多路转换器电路等等的集成电路。

这些驱动电路（还称为“周边驱动电路”）不总是具有相同的操作条件。因此，对于 TFTs 所需要的特征自然有一定程度的不同。像素部分包含用作转  
25 换元件的像素 TFT 和辅助存储电容器，并且向液晶施加电压来驱动它。这里，需要通过交替改变电流来驱动液晶，并且广泛地应用称为“帧反向驱动”的系统。因此，TFT 的一个必须的特征是 OFF 电流值（当处于 OFF 操作时流过 TFT 的漏极电流值）必须充分降低。另一方面在缓冲电路中，因为施加高的驱动电压，TFT 必须具有高的耐压，使得即使施加高电压时也不会被击穿。为了提高  
30 电流驱动容量，需要充分保证 ON 电流值（当处于 ON 操作时流过 TFT 的漏极

电流值)。

然而,多晶硅 TFT 具有 OFF 电流可能变高的问题。以与在用于 ICs 的 MOS 晶体管相同的方式或者类似方式可以观察到在多晶硅 TFT 中例如 ON 电流值下降的品质降低。据信主要原因是热载流子注入,由高强电场在漏极附近产生的热载流子可能造成这种品质劣化。

已知 LDD (轻掺杂漏极) 结构是用于降低 OFF 电流值的一种 TFT 结构。该结构在沟道形成区和高浓度掺杂的源极或漏极区之间形成一个低浓度掺杂区。该低浓度掺杂区称为“LDD 区”。

还已知所谓的“GOLD (栅-漏极重叠的 LDD) 结构”用作防止由于热载流子注入造成的 ON 电流值的降低的结构。由于 LDD 区这样设置使得通过该结构中的绝缘膜与栅极布线重叠,该结构对于防止热载流在漏极附近的注入和提高稳定性是有效的。例如, Mutsuko Hatano, Hajime Akimoto 和 Takeshi Sakai, “IEDM97 Technical Digest”, pp.523-526, 1997 公开了一种使用由硅制成的侧壁的 GOLD 结构。已经证实了该结构具有远比其它结构的 TFTs 为高的稳定性。

在有源矩阵型液晶显示器件中,为几打到数百万个像素中的每一个设置一个 TFT 并且为每个 TFT 设置一个像素电极。在将液晶夹在中间的正对的基片上形成一个相反电极,并且形成一种使用液晶作为介电物质的电容器。通过 TFT 的转换功能控制作用到每个像素上的电压。由于转移到该电容器的电荷受到控制,液晶被驱动通过控制光线透射量显示图象。

但是,该电容器的累积电容由于来自 OFF 电流或类似电流产生的漏电流而逐渐地减少。因此,透射光量改变,从而降低图象显示的对比度。所以,已经习惯于设置电容布线,并将其它电容器(称为“存储电容器”)与使用液晶作为介电物质的电容器并联,利用使用液晶作为介电物质的电容器来补偿电容损失。

尽管如此,像素部分的像素 TFT 所要求的特征不总是与诸如相移寄存器电路和缓冲电路之类的逻辑电路(也称为“驱动电路”)TFT (以下称为“驱动 TFT”)所需要的特征相同。例如,大的反相偏置电压(n-沟道 TFT 中的负电压)作用在像素 TFT 的栅极布线上,但驱动电路的 TFT 基本上没有受到反相偏置电压作用的驱动。前者的操作速度可能低于后者的 1/100。

GOLD 结构对于防止 ON 电流值的降低具有很好的效果,这是真实的,但



是不能避免 OFF 电流值变得比普通 LDD 结构的大这一问题。因此，该 GOLD 结构不能说成是完全最好的结构，特别是对于像素 TFT。相反，在本领域中众所周知，普通 LDD 结构对于限制 OFF 电流值有很好的的效果，但是不能抵抗热载流子注入。

5 基于这些理由，不能总是希望用相同的结构构成包含诸如有源矩阵型液晶显示装置的多个集成电路的半导体装置中的全部 TFTs。

当通过使用如上所述的本领域现有技术中的例子表现的像素部分中的电容布线形成存储电容器来保证足够的电容时，必须牺牲孔径比（能够显示图象的面积和一个像素面积之间的比率）。尤其是对于放映机型显示器使用的小的高精密展示板来说，像素面积非常小以至于源于电容布线的孔径比的下降成为严重的问

题。为解决上述问题，本发明的目的在于通过最优化为每个半导体器件的电路按照其电路功能所使用的 TFT 结构来改善半导体器件的工作性能和稳定性。

15 本发明的另一个目的在于提供一种结构，来减小提供给每个像素的保持电容的面积，和改善含有像素部分的半导体器件的孔径比。

为解决上述问题，本发明的结构的特征在于含有像素部分和基片上的驱动电路的光电元件，其特征在于：

通过插入栅绝缘膜用 n-沟道 TFT 的栅极覆盖驱动电路中 n-通道 TFT 的 LDD 区的一部分或全部；

20 像素部分中的像素 TFT 的 LDD 区没有用像素 TFT 的栅极通过栅绝缘膜覆盖；和

形成一布线叠层，其包括由同一层形成的一个第一电极，并且包括由同一材料构成的像素 TFT 的栅极，和具有比所说第一电极更低电阻率的第二层布线。

25 不仅是上述结构，像素部分的存储电容器可以利用在有机树脂膜上设置的一层屏蔽膜、一层屏蔽膜氧化物和一个像素电极形成。因为存储电容器能在非常小的面积内形成，所以能增加像素的孔径比。

进一步，本发明的另一个结构的特征在于：

30 驱动电路包括第一 n-沟道 TFT 和第二 n-沟道 TFT，其中在第一 n-沟道 TFT 中通过插入栅绝缘膜用栅极覆盖全部 LDD 区，并且在第二 n-沟道 TFT 中通

过插入栅绝缘膜用栅极覆盖部分 LDD 区:

没有通过栅绝缘膜用像素 TFT 的栅极覆盖形成像素部分的像素 TFT 的 LDD 区; 和,

形成一布线叠层, 其包括由同一层形成的一个第一电极, 并且包括由同一材料构成的像素 TFT 的栅极, 和具有比所说第一电极更低电阻率的第二层布线。

不言而喻, 像素部分的存储电容器可以由在有机树脂膜上设置的屏蔽膜、屏蔽膜氧化物和像素电极形成。

在上述结构中, 驱动电路的 n-沟道 TFT 的 LDD 区中的 n-型掺杂元素最好是包括在比像素 TFT 的 LDD 区的浓度高 2 到 10 倍的部位。另外, LDD 区可以形成在第一 n-沟道 TFT 中的通道形成区(最好是漏极区)的一侧上, 并且 LDD 区可以形成在第二 n-沟道 TFT 中的通道形成区的两侧上(插入通道形成区的两侧)。

更进一步, 在上述结构中, 最好是第二布线的电阻率设为第一布线的电阻率的  $1/10 \sim 1/100$ 。实际上, 第一布线的电阻率可以设为  $10 \sim 500 \mu\Omega \text{ cm}$ , 第二布线的电阻率可以设为  $0.1 \sim 10 \mu\Omega \text{ cm}$ 。

为了满足这些条件, 含有钽、钛、钼、钨、铬、铌或硅的布线可以用来作为第一布线, 含有铝、铜或银的布线可以用来作为第二布线。

注意在整个说明书中包含钽、钛、钼、钨、铬、铌或硅的布线表示选自以下布线的一层布线: 钽布线、钛布线、钼布线、钨布线、铬布线、铌布线、硅布线、氮化钽布线、氮化钛布线、氮化钼布线、氮化钨布线、氮化铌布线和含有从钽、钛、钼、钨、铬、铌和硅元素中选择的两种或多种合金的布线。另外, 还包括这些布线层叠的布线。

另外在说明书中, 含有铝、铜或银的布线表示从以下选出的布线: 铝布线、铜布线、银布线和包括含有从铝、铜和银中选择的两种或多种合金的布线。另外, 还包括这些布线层叠构成的布线。

在上面在结构中, 本发明的主要特征在于, 比第一布线的电阻率低的第二布线层叠在含有相同材料并且用和像素 TFT 的栅极同样的层制作的第一布线上。可用这样的布线于多种用途, 但是最好是用于需要流过大电流的布线中。

特别是, 在将电信号传送给驱动电路的布线(以下称之为输入-输出信号

布线)和栅极布线中使用是很有效的。作为输入-输出信号布线,有用来传送时钟信号、开始脉冲信号或视频信号的布线。

换句话说,输入-输出信号布线和栅极布线(包括栅极)由含有相同材料的第一布线形成和由与像素 TFT 的栅极(事实上是与 n-沟道 TFT 的栅极相同)同样的层形成(即同时形成)。在结束源极区和漏极区的激励之后,电阻率比第一布线低的第二布线层叠在第一布线上以形成低电阻率的布线。

这时最好是在层叠第二布线的部分不需要细微的处理和有尽可能低的电阻率。即,需要细微处理的部分例如栅极和驱动电路的内部布线可以用第一布线形成,并且不需要细微处理的部分可以通过第一布线和第二布线的叠层布线形成。

在下面的附图中:

图 1A 至 1F 表示像素部分和驱动电路的制造过程。

图 2A 至 2E 表示像素部分和驱动电路的制造过程。

图 3A 至 3D 表示像素部分和驱动电路的制造过程。

图 4A 和 4B 表示像素部分和驱动电路的制造过程。

图 5 是有源矩阵液晶显示器件的剖面图。

图 6 是 n-沟道 TFT 的 LDD 结构的示意图。

图 7 是有源矩阵液晶显示装置的透视图。

图 8 是有源矩阵液晶显示装置的电路方框图。

图 9A 至 9D 是像素部分的顶视图。

图 10A 和 10B 分别是像素部分的顶视图和剖面图。

图 11 是有源矩阵液晶显示装置的剖面图。

图 12A 至 12C 是像素部分和驱动电路的制造过程的示意图。

图 13 是有源矩阵 EL 显示设备的结构图。

图 14A 和 14B 分别是 EL 显示设备的顶视图和剖面图。

图 15 是 EL 显示设备的剖面图。

图 16A 和 16B 是 EL 显示设备的顶视图和电路图。

图 17 是 EL 显示设备的剖面图。

图 18A 至 18C 是 EL 显示设备的像素部分的电路结构图。

图 19A 至 19F 是电子装置的例子。

图 20A 至 20D 是电子装置的例子。

图 21A 和 21B 分别是光发动机和光源光学系统的结构图。

图 22 表示 ID-VG 曲线和 n-沟道 TFT 的场效应移动。

表 1 是金属材料中膜电阻的比较数据。

5 下面通过图中所示的实施例详细说明本发明的实施例方式。

#### [实施例 1]

通过图 1A 至 4B 说明根据本发明的一个实施例。这里说明用于制造外围设备中同时包括的像素部分和驱动电路的 TFTs 的方法。为了简化说明，假定作为转换触发和缓冲等的基本电路的 CIOS 电路和形成采样电路的 n-沟道 TFT  
10 显示为驱动电路。

在图 1A 中，最好是采用玻璃基片或石英基片作为基片 100。也可以使用硅基片、金属基片或在其表面上含有绝缘膜的不锈钢基片。如果热电阻率容许，还可以使用塑料基片。

通过等离子体 CVD 或阴极溅镀在用来制造 TFTs 的基片 100 的表面上形  
15 成 100 至 400nm 厚的包含含硅绝缘膜的底膜 101（在本说明书中词“绝缘膜”一般代表氧化硅膜、氮化硅膜和氮氧化硅膜）。

在本说明书中使用的词“氮氧化硅膜”代表用通式  $\text{SiO}_x\text{N}_y$  表达的并且以预定的比率含有硅、氧和氮的绝缘膜。在实施例 1 中，叠层膜可以用来作为底膜 101，其包括含氮 20~50 原子%（典型为 20~30 原子%）厚度为 100nm 的氮氧化硅膜，和含氮 1~20 原子%的（典型为 5~10 原子%）厚度为 200nm 的氮氧化硅膜。厚度不必限制在这些值的范围内。包含在氮氧化硅膜中的氮和氧的比率（原子%比率）可以设为 3:1 至 1:3（典型为 1:1）。氮氧化硅膜可以由  $\text{SiH}_4$ 、 $\text{N}_2\text{O}$  和  $\text{NH}_3$  的原材料气体制造。

形成底膜 101 是为了防止来自基片的掺杂污染，但是在使用石英基片的情  
25 况下不需要形成。

利用已知的膜形成方法在底膜 101 上形成 30 至 120nm（最好是 50 至 70nm）厚的具有非晶体结构的半导体膜（在本实施例中是非结晶硅膜（没有示出））。作为含有非晶体结构的半导体膜，有非结晶半导体膜和微晶半导体膜，并且进一步，还可以包括含有例如非结晶硅锗膜等非晶体结构的复合半导体膜。

30 含有晶体结构的半导体膜（实施例 1 中结晶硅膜）102 根据在已公开的日

本专利 No.Hei 7-130652 (对应于美国专利 No.5,643,826 号) 中公开的技术形成。在公报中所描述的技术是结晶手段, 使用催化成份来促进非结晶硅膜结晶过程中的结晶 (从镍、钴、锆、锡、铅、钯、铁和铜中选择的一种或多种元素: 特别是镍)。

5 更具体地, 在催化成份位于非结晶硅膜上使非结晶硅膜转变为结晶硅膜的过程中进行热处理。尽管实施例 1 中使用了公报的实施例 1 所描述的技术, 还可以使用实施例 2 所描述的技术。尽管单晶硅膜和多晶硅膜全部包括在结晶硅膜中, 在本实施例中形成的结晶硅膜是有晶粒界线的硅膜。(图 1A)

虽然取决于非结晶硅膜中氢的含量, 最好是通过在 400~550℃加热几个小时将所含的氢量减少到 5 原子%或更少来进行脱氢处理和结晶处理。可以通  
10 过其它制造方法例如阴极电镀或蒸汽沉淀来制造非结晶硅膜, 但是最好是充分减少包含在膜中的掺杂成分例如氧或氮。

因为底膜和非结晶硅膜能用同样的沉淀方法制造, 它们可以顺序地形成。通过在底膜形成后不暴露在气体中来防止表面的污染从而尽可能减少所制造的  
15 TFTs 的特点的分散。

接下来, 从激光源产生的光 (激光) 照射到结晶硅膜 102 上 (以下称之为激光退火), 并且形成结晶度得到改善的结晶硅膜 103。虽然最好采用脉冲谐振型或连续谐振型准分子激光作为激光, 也可以使用连续谐振型氩激光作为激光。激光的光束可以是直线形状, 或矩形形状。(图 1B)

20 从灯产生的光 (灯辐射) 可以照射 (以下称之为灯热处理) 可以替代激光使用。对于灯辐射, 可以使用从卤素灯或红外线灯产生的灯辐射。

激光实施热处理 (退火) 的过程或灯辐射称为光退火过程。因为光退火过程能在短时间内进行高温热处理, 即使在使用玻璃基片等低热阻抗基片的情况下可以在高的输入输出信息吞吐量下进行有效的热处理过程。不言而喻, 由于  
25 目的是热处理, 可以通过使用电炉的炉中退火 (也可以称为热退火) 来实现。

在实施例 1 中, 通过将脉冲谐振型准分子激光做成直线形状来执行激光热处理过程。激光热处理的条件是: 使用 XeCl 气作为激励气体, 处理温度设为室温, 脉冲振动频率设为 30Hz, 和激光能量密度设为 250~500mJ/cm<sup>2</sup> (典型为 350~400mJ/cm<sup>2</sup>)。

30 在上述提到的条件下进行激光热处理过程具有使结晶加热后剩下的非结晶

区彻底结晶以及减少已结晶的结晶区中的缺陷的效果。从而，本过程可以称为提高半导体膜结晶度的过程，或促进半导体膜结晶的过程。能通过优化灯热处理条件来得到这样的效果。该条件将在本说明书中称为第一次光热处理。

接下来，为后来的掺杂激发剂过程保护膜 104 在结晶硅膜 103 上形成。使用厚度在 100 至 200nm（最好是 130 至 170nm）的氮氧化硅膜或氧化硅膜作为保护膜 104。该保护膜 104 的意义在于使结晶硅膜不直接暴露在掺杂激发剂的等离子体之中，和能够细微地控制浓度。

然后，在其上形成抗腐蚀掩膜 105，并且通过保护膜 104 掺杂授予 p-型的掺杂元素（以下称之为 p-型掺杂元素）。作为 p-型掺杂元素，具体可以使用属于 13 族的元素或更特别的是硼或镓。该过程（称之为沟道掺杂过程）是用来控制 TFT 的电压临界值的过程。这里，通过离子掺杂来掺杂硼，其中乙硼烷（ $B_2H_6$ ）由等离子体激发，而不发生质量分离。不言而喻，使用其中发生质量分离的离子注入是可以接受的。

通过该过程，形成含有  $1 \times 10^{15}$  至  $1 \times 10^{18}$  原子/cm<sup>3</sup>（典型为  $5 \times 10^{16}$  至  $5 \times 10^{17}$  原子/cm<sup>3</sup>）浓度的 p-型掺杂（在本实施例中硼）掺杂区 106。注意在说明书中，包括上述浓度范围内的 p-型掺杂区的掺杂区定义为 p-型掺杂区 (b)（假定，排除故意掺杂的 n-型掺杂元件的区）。(图 1C)。

接下来，除去抗蚀掩膜 105，并且形成新的抗蚀掩膜 107~110。通过掺杂授予 n-型的掺杂元素（以下称之为 n-型掺杂元素）来形成 n-型掺杂区 111~113。对于 n-型掺杂元素，具体可以使用属于 15 族的元素或更特别地为磷或砷。(图 1D)

这些低浓度掺杂区 111~113 是用作后来形成的 CMOS 电路的和采样电路的 n-沟道 TFT 的 LDD 区的掺杂区。在如此形成的掺杂区中，n-型掺杂元件包括  $2 \times 10^{16}$  至  $5 \times 10^{19}$  原子/cm<sup>3</sup> 的浓度（典型是  $5 \times 10^{17}$  至  $5 \times 10^{18}$  原子/cm<sup>3</sup>）。在本说明书中，包括上述浓度范围中的 n-型掺杂区的掺杂区定义为 n-型掺杂区 (b)。

这里，利用离子掺杂来掺杂磷，其中磷化氢（ $PH_3$ ）由等离子体激发，而不发生质量分离。不言而喻，也可以使用发生质量分离的离子注入。在该过程中，通过保护膜 107，磷掺杂在结晶硅膜中。

接下来，除去保护膜 104，并且再一次执行激光的照射过程。这里还最好

是脉冲谐振型或连续谐振型的准分子激光，但是也可以使用连续谐振的氩激光。激光光束的形状或者为直线或者为矩形。假定，因为目的在于激励所掺杂的掺杂成分，最好是以不融化结晶硅膜的水平的能量进行照射。还能够用保护膜 104 在其左边上进行激光热处理过程。(图 1E)

5 在实施例 1 中，通过将脉冲谐振型准分子激光做成直线形状来执行激光热处理过程。激光热处理的条件是：使用 XeCl 气作为激励气体，处理温度设为室温，脉冲振动频率设为 30Hz，和激光能量密度设为  $100\sim 300\text{mJ}/\text{cm}^2$  (典型为  $150\sim 250\text{mJ}/\text{cm}^2$ )。

在上述提到的条件下进行的光热处理过程具有将在掺杂掺杂成分的过程中  
10 变成非结晶的半导体膜再结晶以及激活所掺杂的分 n-型或 p-型掺杂成分的效果。最好是上述提到的条件使得在没有融化半导体膜的情况下使原子对称排列并且同时激活掺杂成分。本过程可以称之为通过光热处理激活分 n-型或 p-型掺杂成分的过程、再结晶半导体膜的过程或同时进行上述两个的过程。也能通过优化灯热处理条件得到这样的效果。在本说明书中，将这种情况称为第二次光  
15 热处理。

通过该过程，n-型掺杂区的界线 111 到 113，也就是，与在 n-型掺杂区 (b) 周围存在的固有区 (实质上也将 p-型掺杂区 (b) 认为是固有的) 连接的区变得清楚。这表示当后来完成 TFT 时 LDD 区和沟道形成区可以形成非常好的连接。

20 在掺杂元件受到激光的激励时，同时还可以使用通过热处理的激励。就通过热处理进行激励来说，考虑到基片的热阻抗可以进行大致  $450\sim 550^\circ\text{C}$  的热处理。

接下来，移去结晶硅膜的不需要的部分来形成岛形半导体分层 (以下称之为活性层) 114~117。(图 1F)

25 接下来，形成栅绝缘膜 118 来覆盖活性层 114~117。栅绝缘膜 118 可以形成成为 10 至 200nm 的厚度，最好是 50 至 150nm。在本实施例中，通过等离子体 CVD 使用  $\text{N}_2\text{O}$  和  $\text{SiH}_4$  原料做成 115nm 厚的氮氧化硅膜。(图 2A)

然后，将要形成栅极布线 (包括栅极) 和输入-输出信号布线的导电膜形成。注意导电膜可以通过单层形成，并且根据需要最好是形成双层或三层的分  
30 层膜。在本实施例中，叠层膜含有第一导电膜 119 和第二导电膜 120。(图 2B)

对于第一导电膜 119 和第二导电膜 120, 可以使用包含下列元素的膜: 钽 (Ta)、钛 (Ti)、钼 (Mo)、钨 (W)、铬 (Cr)、铌 (Nb) 和硅 (Si); 由这些元素作为主要组成部分的金属合成膜 (典型是氮化钽膜、氮化钨膜、氮化钛膜); 由这些元素组成的合金膜 (典型是 Mo-W 合金、Mo-Ta 合金、硅化钨膜) 或这些膜的叠层膜。

第一导电膜 119 可以形成为 10 至 50nm (最好是 20 至 30nm), 并且第二导电膜 120 可以为 200 至 400nm (最好是 250 至 350nm)。在实施例 1 中, 使用 50nm 厚度的氮化钽 (TaN) 膜作为第一导电膜 119 和使用 350nm 厚的钽 (Ta) 膜作为第二导电膜 120。

除此以外, 氮化钨膜和钨膜的叠层、单层的氮化钽膜和硅化钨膜也是合适的。另外, 当大约 2 至 20nm 厚的硅膜形成在第一导电膜 119 下面时, 在硅膜上形成的导电膜的近附着力得到改善和能防止导电膜的氧化。

进一步, 通过使表面暴露在等离子体中气利用氨气或氮气可使之有效地硝化, 在实施例 1 中使用金属膜作为第二导电膜 120 的情况。这样能够防止金属膜表面的氧化。

通过同时蚀刻第一导电膜 119 和第二导电膜 120 形成 400nm 厚的栅极布线 121 至 124、后来将形成输入-输出信号布线的布线 11 和后来将形成栅极布线的布线 12。形成驱动电路的 n-沟道 TFT 的栅极 122 和 123 来通过插入栅绝缘膜将 n-型掺杂区 (b) 111~113 的一部分覆盖。这些覆盖起来的部分后来将成为 Lov 区。注意在剖面图中栅极 124 象是两个电极, 但是事实上它们形成一个连续整体。(图 2C)

注意在整个说明书中将由与栅极同样的层形成和包含相同材料的布线通常称为第一布线。进一步, 本说明书中的输入-输出信号布线一般表示从外部输入输出终端 (以下称之为终端) 例如 FPC (软性印刷电路) 向光电元件的驱动电路传送例如驱动信号 (开始脉冲信号、时钟信号以及其它等等) 的各种信号和图象信号的输入信号布线或输出信号布线。

另外, 在一些情况中, 为了便于说明区别使用词“栅极”和“栅极布线”。在这些例子中由活性层覆盖的栅极布线部分称之为栅极。从而, 即使称栅极为栅极布线时, 也不会出现问题。

然后, 使用栅极 121~124 和第一布线 11 和 12 作为掩膜以自定位的方式



掺杂 n-型掺杂成份 (在实施例 1 中是磷)。将所掺杂的后来形成掺杂区 125~130 的磷的浓度设置为 n-型掺杂区 (b) (假定它比在通道掺杂过程中加入的硼的浓度高 5~10 倍, 特别是  $1 \times 10^{16}$  至  $5 \times 10^{18}$  原子/cm<sup>3</sup>, 典型是  $3 \times 10^{17}$  至  $3 \times 10^{18}$  原子/cm<sup>3</sup>) 的 1/2~1/10 (典型为 1/3~1/4)。在本说明书中, 将含有上述浓度范围内的 n-型掺杂成份的掺杂区定义为 n-型掺杂区 (c)。(图 2D)

注意除了在该过程中用栅极布线遮住的区以外, 掺杂在全部 n-型掺杂区 (b) 中的磷的浓度为  $1 \times 10^{16}$  至  $5 \times 10^{18}$  原子/cm<sup>3</sup>, 然而由于浓度非常低, 不具有象 n-型掺杂区那样 (b) 的功能。进一步, 尽管在沟道掺杂过程中已经在 n-型掺杂区 (b) 127~130 中掺杂了浓度为  $1 \times 10^{15}$  至  $5 \times 10^{18}$  原子/cm<sup>3</sup> 的硼, 因为所掺杂的磷的浓度是 p-型掺杂区 (b) 中含有的硼的 5~10 倍, 在这种情况下也没有 n-型掺杂区 (b) 功能的效果。

不过严格地说, 由于用栅极布线覆盖的部分 n-型掺杂区 (b) 111~113 中的磷的浓度保持在  $2 \times 10^{16}$  至  $5 \times 10^{19}$  原子/cm<sup>3</sup>, 没有覆盖栅极布线的部分进一步添加了  $1 \times 10^{16}$  至  $5 \times 10^{18}$  原子/cm<sup>3</sup> 的磷, 并且含有浓度稍微高的磷。

接下来, 用栅极 121~124 和第一布线 11 和 12 作为掩膜以自定位的方式蚀刻栅绝缘膜 118。使用干蚀刻作为蚀刻方法和使用 CHF<sub>3</sub> 气体作为蚀刻气体。注意蚀刻气体没有必要限制于这种材料中。这样, 栅绝缘膜 131 至 134 形成在栅极布线下。 (图 2E)

通过以该方式露出活性层, 在进行掺杂成份的掺杂处理中能保持低加速电压。由于需要的剂量数量小从而改善输入输出信息吞吐量。不言而喻, 还可以通过掺杂没有蚀刻的栅绝缘膜来形成掺杂区。

接下来形成抗蚀掩膜 135~138 用于覆盖栅极布线和通过加入 n-型掺杂成份 (在实施例 1 中为磷) 形成含有高浓度磷的掺杂区 139~147。通过使用氢化磷 (PH<sub>3</sub>) 再一次进行离子掺杂并且这些区的磷浓度设为  $1 \times 10^{20}$  至  $1 \times 10^{21}$  原子/cm<sup>3</sup> (特别是  $2 \times 10^{20}$  至  $5 \times 10^{21}$  原子/cm<sup>3</sup>)。 (图 3A)

注意在本说明书中含有上述浓度范围内的 n-型掺杂成份的掺杂区定义为 n-型掺杂区(a)。进一步, 尽管在前面的处理中添加的磷或硼已经包含在掺杂区 139 到 147 中, 由于后来加入的磷的浓度充分高, 没有必要考虑前面的处理中加入的磷或硼的影响。因此, 在本说明书中将掺杂区 139~147 称之为 n-型掺杂区(a) 是可以接受的。

然后除去抗蚀膜 135~139, 并且形成新抗蚀掩膜 148。然后, 掺杂 p-型掺杂成份 (在本实施例中是硼), 并且形成包括高浓度硼的掺杂区 149 和 150。这里, 使用乙硼烷 ( $B_2H_6$ ) 通过离子掺杂掺杂  $3 \times 10^{20}$  至  $3 \times 10^{21}$  原子/ $cm^3$  (典型是  $5 \times 10^{20}$  至  $1 \times 10^{21}$  原子/ $cm^3$ ) 浓度的硼。在本说明书中, 含有上述提到的浓度范围中的 p-型掺杂区的掺杂区定义为 p-型掺杂区(a)。 (图 3B)

在掺杂区 149 和 150 的一部分 (如上所述的 n-型掺杂区(a) 139 和 140) 掺杂浓度为  $1 \times 10^{20}$  至  $1 \times 10^{21}$  原子/ $cm^3$  的磷。不过以至少 3 倍高的浓度掺杂硼。因此, 已经形成的 n-型掺杂区全部转化成 p-型, 和具有 p-型掺杂区的功能。从而, 将掺杂区 149 和 130 定义为 p-型掺杂区(a)是可以接受的。

在移去抗蚀膜 148 之后, 形成保护膜 151。保护膜 151 可以由含有硅的绝缘膜形成, 具体地说由氮化硅膜、氧化硅膜、氮氧化硅膜或含有这些膜的叠层形成。膜厚度可以在 20 至 200nm (最好是 30 至 150nm)。在实施例 1 中, 使用 50nm 厚的氮化硅膜。该保护膜对于防止由于第一布线 11 及 12 和栅极 121 至 124 的氧化引起的电阻率的增加是有效的, 接下来进行热处理过程 (激活处理)。

接下来进行的热处理过程是为了激活 n-型或者 p-型传导率的掺杂成份其中已经以它们各自的浓度进行掺杂了。炉子热处理、激光热处理、快速热处理 (RTA) 或灯热处理都能用来进行该过程。在实施例 1 中通过炉子热处理进行激活处理。在氮气中在 300 和 650°C 之间进行热处理 3~12 小时, 最好是在 400 到 550°C 处理 4~6 小时, 在这里为在 450°C 下处理 2 小时。 (图 3C)

在实施例 1 的非晶硅膜的结晶过程中使用的催化成份 (在实施例 1 中是镍) 沿箭头所示方向移动, 并且在含有图 3A 所示的过程中形成的高浓度磷 (吸收) 的区被吸收。这是由于磷吸收金属元素的作用产生的现象。结果, 包含在后来形成的沟道形成区 152~156 中的镍的浓度减少到  $1 \times 10^{17}$  原子/ $cm^3$  (最好是  $1 \times 10^{16}$  原子/ $cm^3$ )。

相反, 催化成份在高浓度区沉淀起到吸收催化成份的作用 (是在图 3A 的处理中形成掺杂区 139~147 的区)。存在于这些区中的催化成份的浓度超过  $5 \times 10^{18}$  原子/ $cm^3$  (典型是  $1 \times 10^{19}$  至  $5 \times 10^{20}$  原子/ $cm^3$ )。

进一步, 通过在含有 3~100% 氢的气体中在 300 至 550°C 进行 1~6 小时 (实施例 1 中为 2 小时 350°C) 的热处理, 在活性层上进行氢化处理。该处理

是通过热激活的氢消除半导体层中的悬挂键。等离子体氢化（使用由等离子体激活的氢）可以用来作为另一种氢化手段。

在完成激活处理之后，选择性地除去保护膜 151。这里，应该注意不除去第一布线（包括栅极）、栅绝缘膜、活性层等，同时除去保护膜 151。由于在该  
5 实施例中使用氮化硅膜作为保护膜 151，通过使用氢氟酸的水和铵氟化物溶液的混合蚀刻物质的湿蚀刻可以很容易除去。另外，作为容易去除的保护膜，使用通过涂覆方法形成的氧化硅膜是有效的。

当用实施例 1 中的保护膜 151 进行激活处理时，激活处理可以不用保护膜而进行。在这种情况下，为了不在栅极 121 至 124、第一布线 11 和 12 的表面  
10 上形成氧化物，最好在热处理气体中尽可能减少氧气的浓度。实际上，氧气浓度保持在 1ppm 或更低，最好是 0.1ppm 或更低。通过这样做可以省略除去保护膜 151 的过程。

在除去保护膜 151 之后，形成含有铝或以铝为主要组成部分的材料的膜（以下称之为铝类薄膜）来形成具有比第一布线低的电阻率的第二布线 13 和 14。在  
15 实施例 1 中，使用含硅 2wt% 的铝膜作为铝类薄膜。第一布线 11 上形成第二布线 13，后来成为输入-输出信号布线，和在第一布线 12 上形成第二布线 14。注意最好是通过在第一布线 11 和 12 内部制造 0~2m 的第二布线 13 和 14。（图 3D）

接下来形成 500nm 至 1.5μm 的第一夹层绝缘膜 157。在实施例 1 中如果由氧化硅膜通过等离子体 CVD 形成第一夹层绝缘膜 157，则其做成 1μm 厚。不  
20 言而喻，还可以采用含有硅的组合绝缘膜的叠层结构例如氮化硅膜和氧化硅膜的叠层。进一步，能够使用聚酰亚胺、丙烯酸、聚酰胺、聚酸亚胺氨化物(polyimide amide)等有机树脂膜，还可以采用 BCB（苯并环丁烷）作为第一夹层绝缘膜。

然后形成连接孔，从到达各自 TFTs 的源极区或漏极区，并且形成源极布线 158~161 和漏极布线 162~165。注意，尽管图中没有显示，为了形成 CMOS  
25 电路，漏极布线 162 和 163 连接成为相同的漏极布线。注意，尽管图中没有显示，在实施例 1 中用通过阴极电镀顺序形成的 100nmTi 膜、含有 Ti 的 300nm 铝膜和 150nmTi 膜的 3-层结构分层膜来制造电极。另外注意铜布线和氮化钛布线可以层叠作为源极布线或漏极布线。（图 4A）

接下来形成 50~500nm 之间（典型是 200~300nm）厚的氮化硅膜、氧化  
30 硅膜或氮氧化硅膜作为钝化膜 166。可以进行使用含有氢的气体（例如 H<sub>2</sub> 和

$\text{NH}_3$ ) 的等离子体处理来形成膜, 并且在膜形成后进行热处理。前面的处理为第一夹层绝缘膜提供活性氢。通过在该状态下进行热处理, 该活性层可以充分氢化, 因为加入到第一夹层绝缘膜中的氢扩散到层底下, 以及改善了钝化膜 166 的质量。

- 5       进一步, 在形成钝化膜 166 之后, 可以进行补充性的氢化处理。例如, 在含有 3~100% 的氢气中在 300 和 450°C 之间进行 1~12 小时的热处理。或者, 通过使用等离子体氢化能得到类似的结果。注意这里可以在钝化膜 166 的位置上形成开口, 在该位置为了连接像素电极和漏极布线而在后来形成连接孔。

10       接下来形成用有机树脂做成的大约 1  $\mu\text{m}$  厚的第二夹层绝缘膜 167。可以使用聚酰亚胺、丙烯酸、聚酰胺、聚酰亚胺氟化物、BCB (苯并环丁烷) 等作为有机树脂。给出的以下各点是使用有机树脂膜的优点: 膜容易沉积; 因为特定的介电常数低能减少寄生电容; 和优良的水平度。注意不仅是上述, 能使用其它有机树脂膜、有机  $\text{SiO}$  化合物等。在这里使用热聚合型聚酰亚胺, 并且在施加到基片后, 在 300°C 下烘烤形成膜。

- 15       进一步, 能够提供用颜料涂上颜色的树脂膜, 作为第二夹层绝缘膜 167 的一部分和用来作为彩色滤波器。

20       接下来在成为像素部分的区中的第二夹层绝缘膜 167 上形成屏蔽膜 168。在说明书中使用的词“屏蔽膜”有屏蔽光或电磁波的意思。屏蔽膜 168 的厚度在 100 和 300nm 之间, 是从铝 (Al)、钛 (Ti)、钽 (Ta)、铬 (Cr) 和钨 (W) 中选择的元素组成的膜或以这些中的一个作为其主要成分的膜。在实施例 1 中形成厚度为 125nm 含钛 1wt% 的铝膜。

- 25       如果在第二夹层绝缘膜 167 上形成 5~50nm 厚的绝缘膜例如氧化硅膜, 能增加在顶部形成的屏蔽膜的附着力。进一步, 如果使用  $\text{CF}_4$  气体在由有机树脂形成的第二夹层绝缘膜 167 的表面上进行等离子体处理, 然后通过表面提炼来增加对形成在该膜上的屏蔽膜的附着力。

30       进一步, 通过使用含有钛的膜能够形成其它连接布线, 而不仅仅是屏蔽膜。例如, 能在驱动电路的内部形成用来在电路之间连接的连接布线。然而, 在这种情况下, 在沉积形成屏蔽膜或连接布线的材料之前, 需要先在第二夹层绝缘膜 167 上形成连接孔。

- 30       接下来, 通过阳极氧化或等离子体氧化在屏蔽膜 168 的表面上形成厚度为

20~100nm（最好是在 30 和 50nm 之间）的氧化物膜 168。这里形成铝氧化物膜（氧化铝膜）作为阳极氧化物膜 169，因为在实施例 1 中使用铝膜或以铝作为其主要成分的膜作为屏蔽膜 168。

当进行阳极氧化处理时，首先制造含有充分低的碱离子浓度的酒石酸乙烯乙二醇溶液。在该溶液中，15%的酒石酸乙烯乙二醇溶液和酸铵水溶液以 2:8 的比率调制。另外加入氨水，这样 pH 值可控制为  $7 \pm 0.5$ 。铂电极置于溶液中作为阴极，其上形成有屏蔽膜 168 的基片插入到溶液中，和用屏蔽膜 168 作为阳极施加恒定的直流电流（从几 mA 到几十 mA）。

溶液中阴极和阳极之间的电压根据氧化物膜的生长随着时间一起变化。在恒定电流下电压以 100V/分的增加速度增加，并且电压达到 45V 时停止阳极氧化处理，从而在屏蔽膜 168 的表面上形成大致 50nm 厚的阳极氧化物膜 169。结果，屏蔽膜 168 的厚度将是 90nm。注意这里显示的阳极氧化过程的数值仅仅是示例，并且根据要制造的元件的尺寸可以自然地变成最适当的值。

进一步，这里使用的结构具有仅仅在屏蔽膜的表面上形成绝缘膜，但是还可以通过气体定相方法形成绝缘膜，例如等离子体 CVD、热 CVD 或阴极溅镀。在这种情况下，较好的膜厚度是 20~100nm（最好是在 30 和 50nm 之间）。此外，也可以使用氧化硅膜、氮化硅膜、氮氧化硅膜、DLC（钻石类碳）膜或者有机树脂膜。进一步，可以使用这些膜的组合叠层。

为了到达漏极布线 165，接下来在第二夹层绝缘膜 167 和钝化膜 166 中形成连接孔，和形成像素电极 170。注意像素电极 170 和 171 是用来连接像素的彼此独立的像素电极。透明的导电膜可以作为像素电极 170 和 171 在传输型液晶显示器件的情况下使用，同时金属膜可以在反射型液晶显示器件中使用。因为这里使用传输型液晶显示器件，故在此通过阴极喷镀形成 110nm 厚的氧化铟和氧化锡合成膜（称之为 ITO 膜）。

进一步，在通过阳极氧化物膜 169 覆盖像素电极 170 和屏蔽膜 168 的地方形成存储电容器 172。在这种情况下可取的是将屏蔽膜 168 设置在浮动状态（电绝缘状态）或恒定电位，最好是位于同一电位（作为数据传送的图像信号中心电位）。

这样，包含 CMOS 电路，成为驱动电路的有源矩阵基片和同一基片上的像素矩阵电路完成。注意在图 4B 中，p-沟道 TFT301 和 n-沟道 TFTs302 和 303

形成在驱动电路中, 并且像素 TFT304 由像素矩阵电路中的 n-沟道 TFT 形成。

注意实施例 1 中的处理顺序可以适当地改变。无论顺序是什么, 只要最终形成的 TFT 的结构是图 4B 中表示的一个有源矩阵基片的基本功能不会改变, 并且不会损害本发明的效果。

5 每个沟道形成区 201、源极区 202 和漏极区 203 都通过驱动电路的 p-沟道 TFT301 的 p-型掺杂区(a)形成。注意包含  $1 \times 10^{20}$  至  $1 \times 10^{21}$  原子/cm<sup>3</sup> 浓度的磷的区事实上存在于部分源极区或漏极区中。进而在图 3B 的处理中吸收催化成份的区位于超过  $5 \times 10^{18}$  原子/cm<sup>3</sup> (典型是  $1 \times 10^{19}$  至  $5 \times 10^{20}$  原子/cm<sup>3</sup>) 的浓度。

10 进一步, 沟道形成区 204、源极区 205 和漏极区 206 形成在 n-沟道 TFT302 中, 通过插入栅绝缘膜用栅极布线覆盖的区 (这样的区称之为 Lov 区。‘ov’ 代表覆盖) 207 在沟道形成区 (漏极区一侧) 的一侧形成。这里, Lov 区 207 包括  $2 \times 10^{16}$  至  $5 \times 10^{19}$  原子/cm<sup>3</sup> 浓度的磷, 和形成用栅极布线彻底覆盖。

15 为了尽可能减少阻抗成分, 在图 4B 中 Lov 区仅仅位于沟道形成区 204 的一侧 (仅漏极区一侧)。不过, 通过将沟道形成区 204 夹在中间提供的 Lov 区也是可以接受的。

20 在 n-沟道 TFT303 中形成沟道形成区 208、源极区 209 和漏极区 210。LDD 区 211 和 212 在沟道形成区的两侧形成。注意通过插入绝缘膜用栅极布线覆盖的区 (Lov 区) 和没用栅极布线覆盖的区 (这样的区称之为 Loff 区。‘off’ 表示补偿) 得以实现, 因为所放置的部分 LDD 区 211 和 212 使得栅极布线在该结构中覆盖。

图 6 中的剖面视图表示用图 3C 所示的过程制造的图 4B 中所示的 n-沟道 TFT303 的放大图。如在这里显示的, LDD 区 211 进一步区分为 Lov 区 211a 和 Loff 区 211b。在 Lov 区 211a 中含有的磷的浓度为  $2 \times 10^{16}$  至  $5 \times 10^{19}$  原子/cm<sup>3</sup>, 但是它保持在是 Loff 区 211b 中的浓度的 1~2 倍 (典型是为 1.2 到 1.5 倍)。

25 进一步, 沟道形成区 213 和 214、源极区 215、漏极区 216、Loff 区 217 至 220、和连接 Loff 区 218 和 219 的 n-型掺杂区(a)221 在像素 TFT304 中形成。源极区 215 和漏极区 216 在该部分上各自形成 n-型掺杂区(a), 并且 Loff 区 217~220 通过 n-型掺杂区 (c) 形成。

30 可以根据所需要的电路特性来最优化形成像素电路和驱动电路的每个电路的 TFTs 的结构, 并且在实施例 1 中能增加半导体装置的操作性能和稳定性。

特别地, 根据电路特性 n-沟道 TFT 中的 LDD 区的位置可以不同, 并且通过适当地使用 Lov 区或 Loff 区, 可以在同一个基片上实现具有快的操作速度的 TFT 结构其在计数热载流的测量中起重要作用, 和在低断开电流操作中起重要作用的 TFT 结构。

- 5       对于有源矩阵型液晶显示器件的情况, 例如, n-沟道 TFT302 对类似转换触发电路、分频电路 (信号分配电路)、水平转换电路和缓冲电路等在高速上起重要所用的驱动电路是合适的。换句话说, 通过将 Lov 区仅放在沟道形成区的一侧 (漏极区一侧), 形成既能极好地抗热载流子干扰, 又能尽可能减小阻抗的一种结构。对于上述电路组的情况, 是因为源极区和漏极区的功能不改变, 10 和载流子 (电子) 的运动方向一定。不过, 如果需要, Lov 区可以设置在沟道形成区的两侧。

- 进一步, n-沟道 TFT303 适合用于采样电路 (也称为转移门) 其在抗热载流子干扰和低断开电流的操作中都起重要作用。换句话说, 抗热载流子干扰可以通过 Lov 区的安排来实现, 另外, 低断开电流操作通过 Loff 区的安排来实现。15 此外, 采样电路的源极区和漏极区的功能相反, 并且载流子的运动方向发生  $180^\circ$  的变化; 因此必须使用在栅极布线的中心具有线性左右对称的结构。注意根据情况, 可能仅形成 Lov 区。

- 进一步, n-沟道 TFT304 适合于像素电路或采样电路 (采样保持电路) 其在低断开电流操作中起重要作用。即, 不使用 Lov 区, 它是引起断开电流增加的原因, 只使用 Loff 区, 允许低断开电流操作的实现。此外, 通过利用浓度低20 于驱动电路 LDD 区的 LDD 区作为 Loff 区, 尽管接通电流值会有点降低, 它对于降低断开电流是一个充分的手段。另外, 已经证实在降低断开电流值中一个 n-型掺杂区(a)221 是足够有效的。

- 进一步, n-沟道 TFT302 的 Lov 区 207 的长 (宽) 可以在  $0.1 \sim 3.0 \mu\text{m}$  之25 间, 典型是  $0.2 \sim 1.5 \mu\text{m}$ , 对于  $3 \sim 7 \mu\text{m}$  长的沟道。进一步, n-沟道 TFT303 的 Lov 区 211a 和 212a 的长 (宽) 可以为  $0.1 \sim 3.0 \mu\text{m}$ , 典型是在  $0.2 \sim 1.5 \mu\text{m}$  之间, 并且 Loff 区 211b 和 212b 的长 (宽) 可以为  $1.0 \sim 3.5 \mu\text{m}$ , 典型是在  $1.5 \sim 2.0 \mu\text{m}$  之间。另外, 在像素 TFT304 中形成的 Loff 区 217~220 的长 (宽) 可以为  $0.5 \sim 3.5 \mu\text{m}$ , 典型是在  $2.0 \sim 2.5 \mu\text{m}$  之间。

- 30       由含铝的第一布线 11 和第二布线 13 的叠层结构形成的输入-输出信号布

线 305, 和用第一布线 12 和第二布线 14 的叠层结构形成的栅极布线 306 形成在实施例 1 中的有源矩阵基片上。这里, 采用这样的叠层结构的理由将在以下解释。

5 诸如输入-输出信号布线和栅极布线等在长距离中形成的布线要求具有低的电阻率。特别地在制造对角线长超过 4 英寸的有源矩阵基片中, 该长布线的电阻成分将大大影响电路的设计。从而, 希望在有源矩阵基片中形成的布线的电阻率应尽可能地小。

因此在实施例 1 中所采用的降低布线电阻率的一种手段在于, 通过在电阻率大约为  $10 \sim 500 \mu \Omega \text{cm}$  的布线例如第一布线 11 和 12 上层叠电阻率大约为 10  $0.1 \sim 10 \mu \Omega \text{cm}$  的布线例如第二布线 13 和 14。换句话说, 采用一种叠层布线, 其中电阻率为  $0.1 \sim 10 \mu \Omega \text{cm}$  (典型是  $1 \sim 50 \mu \Omega \text{cm}$ ) 的第二布线层叠在电阻率为  $10 \sim 500 \mu \Omega \text{cm}$  (特别是  $10 \sim 30 \mu \Omega \text{cm}$ ) 的第一布线上。在这种情况下, 最好第二布线的电阻率是第一布线电阻率的  $1/10 \sim 1/100$  倍。

15 注意实施例 1 的特征在于它在特定部分例如输入-输出信号布线和部分栅极布线中使用了这种结构。存在一种担心在于使用上述叠层结构的布线在模型制作中具有比较宽的布线宽例如  $6 \sim 8 \mu \text{m}$ 。在这样的情况下不适于在需要微细制造的栅极中、或者在高密度集成的驱动电路内部的连接布线中使用它们。

进一步, 由于没有必要考虑在驱动电路的内部连接 TFTs 的短布线或者栅极布线的电阻率, 仅使用第一布线足以得到该功能。即, 用上述叠层结构形成的 20 的布线最好是用于不需要细微处理的布线, 对于布线可能需要细微处理的情况最好是只使用第一布线, 即使或多或少牺牲电阻率。

在输入输出信号布线 305 和栅极布线 (除了起栅极作用的区) 306 中使用由上述叠层结构形成的布线是基于这样的理由。不言而喻, 如果可以使用叠层结构 (如果可以细微处理), 甚至可以为任何驱动电路内的布线和为栅极使用 25 而没有问题。

本发明的另一个特征是 p-沟道 TFT301 以自定位的方式形成, 并且, n-沟道 TFTs302~304 以非自定位的方式形成。

在该实施例中通过使用具有 7~9 的高介电常数的氧化铝膜作为存储电容器的电介质, 可以减少所需要的电容器的面积。进一步, 通过使用在像素 TFT 30 上形成的屏蔽膜作为实施例 1 中的存储电容器的电极, 能改善有源矩阵液晶显



示器件的图象显示部分的缝隙比率。

本发明的存储电容器的结构不需要限制在实施例 1 表示的范围内。例如，可以使用日本专利申请 No. Hei9-316567 或日本专利申请 No.Hei10-254097 中描述的存储电容器。

#### 5 [实施例 2]

接下来解释从有源矩阵基片制造有源矩阵型液晶显示器件的过程。如图 5 所示，形成对准膜 401 用于图 4B 情况中的基片。在该实施例中，使用聚酰亚胺膜作为对准膜。含有透明导电膜和对准膜 404 的相对电极 403 形成在相对基片 402 上。如果需要可以在相对基片上形成彩色滤波器或屏蔽膜。

- 10 形成对准膜后，进行研磨处理给液晶分子某固定的预先倾斜角度，使得它们对准。有源矩阵基片（像素电路和驱动电路在其上形成）和相对基片通过密封材料、垫圈或通过摹制提供的树脂膜（图中没有显示）按照已知的单元装配加工程序粘在一起。接下来在两个基片之间注入液晶材料 405，并且通过密封胶（图中没有显示）彻底密封该单元。可以使用已知的液晶材料作为液晶材料。
- 15 这样完成了图 5 所示的有源矩阵型液晶显示器件。

接下来通过参照图 7 的透视图说明有源矩阵液晶显示器件的结构。为了对照图 7 和图 1A 到 4B 的剖面图，使用同样的附图标记。有源矩阵基片包括像素部分 701、扫描（栅极）信号驱动电路 702、在玻璃基片 100 上形成的图像（源极）信号驱动电路 703。像素部分的像素 TFT304 是 n-沟道 TFT，并且设置成包围像素电路的驱动电路基本上是由 CMOS 电路形成的。扫描信号驱动电路 702 和图像信号驱动电路 703 分别通过栅极布线 306 和源极布线 161 接到像素部分 701 上。连接到 FPC704 上的终端 705 和驱动电路通过输入-输出信号布线 305 相连接。

#### [实施例 3]

- 25 图 8 表示实施例 2 中所示的有源矩阵基片的电路结构的一个例子。实施例 3 的有源矩阵基片包括图像信号驱动电路 801、扫描信号驱动电路(A)807、扫描信号驱动电路 (B) 811、预充电电路 812 和像素部分 806。在本说明书中，驱动电路是一个一般的名称，包括图像信号驱动电路 801 和扫描信号驱动电路 807。

- 30 图像信号驱动电路 801 包括转换触发器 802、水平转换器 803、缓冲器 804

和采样电路 805。进一步，扫描信号驱动电路(A)807 包括转换触发器 808、水平转换器 809 和缓冲器 810。扫描信号驱动电路 (B) 811 具有类似的结构。

这里用于转换触发器 802 和 808 的驱动电压在 5 和 16V 之间 (典型是 10V), 并且在图 4B 中用附图标记 302 表示的结构对在形成转换触发器的 CMOS 电路中使用的 n-沟道 TFTs 是合适的。

此外，用于水平转换器 803 和 809 和缓冲器 804 和 810 的驱动电压变高在 14 和 16V 之间，但是和转换触发器相似，图 4B 所示的包括 n-沟道 TFT302 的 CMOS 电路是适合的。注意在每个电路中为增加稳定性使用多栅极结构，例如双栅极结构和三栅极结构作为栅极布线是有效的。

进一步，采样电路 805 的驱动电压在 14 和 16 V 之间，但是源极区和漏极区相互交换并且需要降低断开电流值，所以，图 4B 中的包括 n-沟道 TFT303 的 CMOS 电路是合适的。注意图 4B 中仅给出了 n-沟道 TFT，但是在实践中形成采样电路时 n-沟道 TFT 和 p-沟道 TFT 组合。

进一步，像素部分 806 的驱动电压在 14 和 16 V 之间，但是需要将其断开电流值减少到比采样电路 805 的更低。因此最好是使用没有设置 Lov 区的结构，和最好是使用图 4B 中的 n-沟道 TFT 304 作为像素 TFT。

注意通过根据实施例 1 中表示的制造方法制造一个 TFT 能很容易获得实施例 3 的结构。虽然实施例 3 只显示了像素部分和驱动电路的结构，通过按照实施例 1 中的制造方法在同一基片上可以形成信号分配电路、分频电路、D/A 转换电路、运算放大电路、 $\gamma$  补偿电路，和其他信号处理电路 (还可以称之为逻辑电路) 例如存储器和微处理器。

如上所述，本发明能在一个基片上实现一个包含像素部分和用于驱动像素部分的驱动电路的半导体器件，例如在同一个基片上包括驱动电路和像素电路的半导体器件。

#### 25 [实施例 4]

通过参照图 9 说明实施例 4 中可以根据实施例 1 中的制造过程制造像素部分的像素结构。在实施例 4 中全部例子给出的都是双栅极结构的像素 TFTs，但是可以使用类似三栅极结构的多栅极结构，或者可以使用单栅极结构。

在图 9A 中，901 是活性层；902 是包括第一布线 902a 和第二布线 902b 的栅极布线；903 是仅由第一布线 902a 形成的栅极；和 904 是源极布线。

在图 9B 中, 905 是活性层; 906 是包括第一布线 906a 和第二布线 906b 的栅极布线; 907 是仅由第一布线 906a 形成的栅极; 和 908 是源极布线。

在图 9C 中, 909 是活性层; 910 是包括第一布线 910a 和第二布线 910b 的栅极布线; 911 是仅由第一布线 910a 形成的栅极; 和 912 是源极布线。

5 在图 9D 中, 913 是活性层; 914 是包括第一布线 914a 和第二布线 914b 的栅极布线; 915 是仅由第一布线 914a 形成的栅极; 和 916 是源极布线。

如上所示, 本发明的结构可以用于任何像素结构。注意实施例 4 中的结构能按照实施例 1 来获得, 和能与实施例 2 和 3 中的任意结构相组合。

#### [实施例 5]

10 通过使用图 10 说明实施例 5 中的能按照实施例 1 中的制造过程制造的像素部分的像素结构。不言而喻, 虽然实施例 5 中给出了三栅极结构的像素 TFT, 但也可以是双栅极结构或单栅极结构。

图 10A 的顶视图中沿 A-A' 线的剖面图为图 10B。在图 10A 中: 21 是活性层, 22 是含有第一布线 22a 和第二布线 22b 的栅极布线; 23 是仅由第一布线 22a 形成的栅极 (附图标记只作用到三个栅极中的一个上); 24 是含有第一  
15 布线 24a 和第二布线 24b 的电容布线。

形成电容布线的的第一布线 24a 制成为大部分由活性层 21 覆盖。用栅极绝缘膜 (相同的层且包含相同的材料) 同时形成的绝缘膜 (存储电容器的电介质) 33 位于第一布线 24a 和活性层 21 的中间, 并且形成存储电容器 25。

20 另外, 26 是源极布线; 27 是漏极电路; 28 是源极布线和活性层之间的连接部分; 29 是漏极布线和活性层之间的连接部分; 30 是像素电极 (在实施例 5 中是透明导电膜); 31 是像素电极和漏极布线之间的连接部分; 和 32 是图像显示区。

实施例 5 的特征在于使用第一布线和第二布线的层叠布线, 作为输入-输出  
25 信号布线和栅极布线使用, 也可以用于电容布线。通过这样做电容布线的电位能更稳定, 并且在液晶显示器件中能实现灰度的准确表达。

注意实施例 5 的结构能按照实施例 1 来实现, 能和实施例 2~4 中的任何一个结构组合。

#### [实施例 6]

30 通过使用图 11 说明在实施例 6 中具有和实施例 1 中的结构不同的像素部

分的有源矩阵液晶显示器件。注意基本结构与图 5 相同, 并且描述仅集中在不同的部分上。

图 11 中形成像素部分的像素 TFT (n-通道 TFT) 310 的结构不同于实施例 1 中的结构。实际上, 实施例 6 的区别在于不重合区域 47~50 在沟道形成区 41 和 42 与由 n-型掺杂区域 (c) 43~46 形成的 LDD 区之间形成。

注意不重合区是指与沟道形成区有相同结构的一个半导体层区, 并且没有用栅极覆盖, 如 47~50 所示。这些不重合区 47~50 仅仅起到电阻的作用, 对降低断开电流值非常有效。

为实现这样的结构, 可以形成 20~200nm (最好是 25~150nm) 厚的含硅绝缘膜来覆盖栅极布线等, 例如在实施例 1 的图 2D 的过程中掺杂 n-型掺杂元素之前。

在含硅绝缘膜在栅极 124 的侧壁中形成的情况下掺杂掺杂元素, 并且形成与起到掩膜作用的部分不重合区域。从而这样形成的不重合区域的长度基本上与含硅绝缘膜的厚度一致, 为 20~200nm (最好是 25~150nm)。

含硅绝缘膜已经在实施例 1 中描述, 但是最好使用和实施例 6 中的栅绝缘膜同样的材料, 这样在图 2E 的处理中它能和栅绝缘膜同时除去。

注意实施例 6 的结构能通过实施例 1 的部分变通来实现, 并能和实施例 2~5 中的任一结构组合。

#### [实施例 7]

通过使用图 12A 到 12C 说明实施例 7 中通过与实施例 1 不同的制造过程来制造有源矩阵基片的情况。

首先, 到图 3C 为止的过程按照实施例 1 的制造过程进行。不过注意当实施例 1 使用 50nm 厚的氮化硅膜作为保护膜时, 实施例 7 使用 300nm 厚的氮氧化硅膜 51。(图 12A)

在将成为输入-输出信号布线的的第一电极 11 和将成为栅极布线的的第一电极 12 上的氮氧化硅膜 51 中开连接孔。通过用铝作为基本成分的膜形成具有低电阻率的第二布线 53 和 54 (在实施例 7 中添加 2wt% 硅的铝膜)。(图 12B)

这样完成由图 12C 所示的、包括驱动电路和像素部分的有源矩阵基片。在图 12C 中, 在驱动电路中形成 p-沟道 TFT320、n-沟道 TFTs321 和 322, 并且在像素部分中形成由 n-沟道 TFT 形成的像素 TFT323。进一步, 形成输入输

出信号布线 324 和栅极布线 325。

TFTs320~323、输入输出信号布线 324 和栅极布线 325 的功能已经在实施例 1 中说明，因此这里省略。与实施例 1 的图 4B 中的有源矩阵基片的不同点在于：保留保护膜 51，并且输入-输出信号布线 324 和栅极布线 325 的结构不同。因此，关于功能和效果，与实施例 1 类似。

注意不言而喻的是，通过将实施例 7 和实施例 2 组合在一起来完成有源矩阵液晶显示器件，并且可以与实施例 3~6 的任一结构自由组合。

#### [实施例 8]

在实施例 1 所示的结构中，可以使用任何低电阻材料来作为第二布线。实际上，除了实施例 1 给出的铝或以铝作为其主要组成部分的膜（以下称之为铝类薄膜）以外，还可以使用铜或以铜作为其主要组成部分的膜（以下称之为铜类薄膜）、银或以银作为其主要组成部分的膜（以下称之为银类薄膜）、或由上述组合的叠层膜。

此外，由例如钛、氮化钛、钽、氮化钽、钨、氮化钨、钼、铌等材料制作的膜可以层叠到上述提到的铝类薄膜、铜类薄膜或银类薄膜上。层叠的顺序可以是向上的或者向下的，并且还可以使用第二布线夹在中间的结构。在使用铝类薄膜作为第二布线的情况下，这些膜特别地有效，能防止出现其它异常析出。

进一步，上述提到的铝类薄膜、铜类薄膜或银类薄膜是很容易氧化和引起绝缘缺陷的材料。因此通过在第二布线的上表面上叠层上述提到的钛类薄膜等可以使与其它布线的电连接变得更简单。

注意实施例 8 的结构可以自由地与实施例 1 以及实施例 2~7 的任一结构组合。

#### [实施例 9]

当实施例 1 显示使用能促进结晶过程的催化成份作为形成含有晶体结构的半导体膜的方法的例子，实施例 9 显示通过热结晶或者不使用催化成份的激光结晶来形成含有晶体结构的半导体膜的情况。

就使用热结晶过程来说，可以在形成包括非晶体结构的半导体膜之后进行 15~24 小时的 600 至 650℃ 的热处理。即，通过在超过 600℃ 的温度进行热处理形成的自然核来完成结晶过程。

就激光结晶过程来说，可以在形成包括非晶体结构的半导体之后在实施例

1 所示的第一个热处理条件下进行激光热处理过程。通过这样做，能在短时间内形成含有晶体结构的半导体。不言而喻，灯热处理可以替代激光热处理进行。

如上所示，在本发明中使用的含晶体结构的半导体膜能通过使用任何周知的手段形成。注意实施例 9 的结构能和实施例 1~8 的结构自由地组合。

5 [实施例 10]

说明在实施例 10 中用与实施例 1 不同的制造过程形成有源矩阵基片的情况。

在实施例 1 中，使用一种技术，其中通过使用日本专利申请 No.Hei 7-130652 中公开的技术来进行结晶过程处理，然后在激活源极区和漏极区的同时源极区  
10 和漏极区吸收在结晶过程中使用的催化成分。

另外，还可以使用日本专利申请 No.Hei 10-270363（对应于美国专利申请 No.09/050182）中发表的技术用于通过吸收的结晶处理。在使用该公报中公开的技术时，执行使用催化剂的结晶处理过程之后，选择性地形成含有属于 15 周期族的元素（典型是磷）的区域并且催化剂元素吸收进区域中。

15 此外作为另一种方法，可以使用日本专利申请 No.Hei 10-247735（对应于美国专利申请 No.09/034041）中公开的技术用于通过吸收处理的结晶处理过程。

如上所述，在本发明中使用的含有晶体结构的半导体膜可以通过公开的各种方法形成。注意实施例 10 的结构能和实施例 1~8 的结构自由地组合。

20 [实施例 11]

在本发明中，如图 10 所示，通过将含有第一布线和第二布线的层叠结构用到栅极布线和/或电容布线上降低布线阻抗。这里，图 1 显示使用了含有 TaN/Ta 层（含有氮化钽层和钽或钨层的叠层）的第一布线和含有 Al-Nd 层（添加钨的铝层）的第二布线层叠结构。

25 附带地，该实施例中在形成第一和第二布线期间，在形成第一布线之后，在浓度为 1ppm 或更少的含氧的氮气中在 500℃进行 4 小时的热处理，然后在第一布线上形成第二布线。随后，测定面电阻。

如表 1 所示，尽管在使用包含 TaN/Ta 层的单一层的情况下面电阻是 8  $\Omega$ /□，在其上层叠 Al-Nd 层的情况下面电阻降低到 0.16  $\Omega$ /□。加之，该特点表  
30 示形成了良好的电接触，尽管在第一布线暴露在外的情況下进行热处理。

表1

金属材料	厚度(nm)	面电阻 ( $\Omega/\square$ )
TaN/Ta	50/350	1.58
W	400	0.36
Al-Nd	250	0.19
TaN/Ta+Al-Nd	50/350+250	0.16
W+Al-Nd	400+250	0.12

## [实施例 12]

- 5 图 22 显示根据实施例 1 的处理步骤制造的 n-沟道 TFT302 的漏极电流( $I_D$ )和栅极电压 ( $V_G$ ) 之间的关系 (以下称为  $I_D$ - $V_G$  曲线), 和 n-沟道 TFT 的场效应迁移率 ( $\mu_{FE}$ ) 和栅极电压 ( $V_G$ ) 之间的关系。这里, 源极电压 ( $V_S$ ) 是 0V 和漏极电压 ( $V_D$ ) 是 1V 或 14V。另外, n-沟道 TFT 的通道长 ( $L$ ) 为  $7.2\mu m$ , 通道宽 ( $W$ ) 为  $8.0\mu m$  和栅绝缘膜的厚度 ( $T_{ox}$ ) 为 120nm。

- 10 图 22 显示  $I_D$ - $V_G$  曲线和场效应迁移率, 其中粗线表示压力试验前的特征, 虚线表示压力试验后的特征。该图证明压力试验前后的  $I_D$ - $V_G$  曲线的变化很小, 由于热载流子造成的品质降低得到抑制。附带地, 为了促进由于热载流子造成的降级, 这里进行压力试验的条件为在 0V 的源极电压, 20V 的漏极电压和 4V 的栅极电压在室温下作用 60 秒。

## [实施例 13]

- 15 当在传统的 MOSFET 上形成绝缘膜时能够使用本发明, 然后在其上形成 TFT 夹层。换句话说, 能够实现具有三维结构的半导体器件。进一步, 能够使用类似 SIMOX、Smart-Cut(SOITEC 股份有限公司商标)或 ELTRAN(Cannon, Inc. 公司商标)的 SOI 基片。

- 20 注意能够自由地将实施例 11 的结构和实施例 1~10 中的任何一个结构组合在一起。

## [实施例 14]

按照本发明制造液晶显示器件中能够使用各种液晶材料。以下给出这些材料例子: TN 液晶; PDLC (聚合物扩散类液晶); FLC (铁电液晶); AFLC (反

铁电液晶); 和 FLC 与 AFLC 的混合物。

例如, 液晶材料公开在: Furue, H, et al., "Characteristics and Driving Scheme of Polymer-stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-scale Capability", SID, 1998; Yoshida, T., et al., "A Full-color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time", SID97 Digest, 841, 1997; S. Inui et al., "Thresholdless Antiferroelectricity in liquid crystals and its application to displays", 671-673, J. Mater Chem. 6(4), 1996 中; 并且在美国专利 No. 5,594,569 中公开的也可以使用。

具体地, 使用没有临界值的反铁电液晶材料(无阈值反铁电 LCD: 缩写为 TL-AFLC) 显示光电反应特性, 其中透射率对应电场发生连续变化, 其中一些显示 V 形状(或者 U 形状) 光电反应特征, 和甚至发现一些液晶的工作电压是大约  $\pm 2.5V$ 。因此, 在一些情况下, 像素部分的供电电压约为 5~8V, 其表示能够用相同的供电电压驱动驱动电路和像素电路。即, 整个液晶显示器件可以做成低功耗。

进一步, 铁电液晶和反铁电液晶具有的优点在于, 与 TN 液晶相比较它们具有快的响应时间。由于在本发明中使用的 TFTs 能获得操作速度非常快的 TFTs, 因而能够实现有快速图像反应速度的液晶显示器件, 其中充分利用了铁电液晶和反铁电液晶的快速反应速度。

更进一步, 无阈值反铁电混合液晶通常有大的自发极化强度, 并且液晶本身的介电常数大。因此, 在使用无阈值反铁电混合液晶于液晶显示器件的情况下, 像素中需要比较大的存储电容器。最好是使用有小的自发极化强度的无阈值反铁电混合液晶。从这一角度来说, 因为能在小的面积中存储大的电容, 最好是采用实施例 1 的图 4B 中显示的存储电容器。

不言而喻, 使用实施例 12 中的液晶显示器件于类似个人计算机的其它电子装置的显示器已经足够了。

本发明的结构能与实施例 1~10 和 13 中的任一结构自由组合。

#### [实施例 15]

能够将本发明应用到有源矩阵型 EL 显示器中。例子如图 13 所示。

图 13 是有源矩阵型 EL 显示器的电路图。附图标记 81 表示显示区, 而 x-方向(源极侧)驱动电路 82 和 y-方向(栅极侧)驱动电路 83 配置在外围设备



中。进一步，显示区域 81 中的每个像素有转换 TFT84、电容 85、电流控制 TFT86 和 EEL 元件 87，并且转换 TFT84 与 x-方向信号线（源极信号线）88a（或 88b）和 y-方向信号线（栅极信号线）89a（或 89b，89c）相连接。此外，电源线 90a 和 90b 与电流控制 TFT86 相连接。

- 5 在实施例 15 的有源矩阵 EL 显示器中，x-方向的驱动电路 82 和 y-方向的驱动电路 83 通过图 4B 的 p-沟道 TFT301 和 n-沟道 TFT302 或 303 的组合形成。图 4B 的 n-沟道 TFT304 用于转换 TFT84 和 p-沟道 TFT301 用于电流控制 TFT86。不言而喻，TFT 的组合没有必要限制在上述范围内。

10 实施例 1~10、13 和 14 中的任何结构都可用于实施例 15 中的有源矩阵 EL 显示器中。

#### [实施例 16]

实施例 16 为使用本发明的有源矩阵型 EL（电致发光）显示器件的制造例子的说明。图 14A 是使用本发明的 EL 显示器件的顶视图，图 14B 是显示器件的剖视图。

- 15 在图 14A 中，附图标记 4001 表示基片，4002 表示像素部分，4003 表示源极侧驱动电路，4004 表示栅极侧驱动电路。每个驱动电路通过布线 4005 引至 FPC4006（软性印刷电路），并且由此与外部设备连接。

提供第一密封材料 4101、覆盖材料 4102、填充物 4103 和第二密封材料 4104 来包围像素部分 4002、源极侧驱动电路 4003 和栅极侧驱动电路 4004。

- 20 图 14B 是沿图 14A 中的 A-A' 的剖面图。包含源极侧驱动电路 4003 的驱动电路 TFT（在这里显示为 n-沟道 TFT 和 p-沟道 TFT）4201 和包含像素部分 4002 的电流控制 TFT（TFT 控制流向 EL 的电流）形成在基片 4001 上面。

- 与图 4B 的 p-沟道 TFT301 和 n-沟道 TFT302 具有同样结构的 TFTs 用于驱动 TFT4201，并且与图 4B 的 p-沟道 TFT301 具有相同结构 TFT 在实施例 14 25 的电流控制 TFT4202 中使用。与电流控制 TFT4202 的栅极相连接的存储电容器（图中没有显示）设在像素部分 4002 中。

- 树脂材料制成的夹层绝缘膜（平面化膜）4301 在驱动 TFT4201 和像素 TFT4202 上面形成。与像素 TFT4202 的漏极相连接的像素电极（阳极）4302 形成在其上。有大的工作函数的透明导电膜用作像素电极 4302。氧化铟和氧化 30 锡的混合物（称之为 ITO）、或氧化铟和氧化锌的混合物可以用来作为透明导

电膜。

绝缘膜 4303 在像素电极 4302 上形成，并且在绝缘膜 4303 的位于像素电极 4302 上面的面积上形成一个开口。EL（电致发光）层 4304 在像素电极 4302 上的开口部分中形成。众所周知的有机 EL 材料或无机 EL 材料可以作为 EEL 5 层 4304 使用。有机材料中有单聚物类材料和聚合物类材料，两个都能使用。

EL 层 4304 的形成方法可以应用周知的蒸发技术或涂覆技术。EL 层的结构可以是单层结构或薄片状结构，其中孔注入层、孔传输层、照明层、电子传输层和电子注入层可以自由组合。

包含具有光屏蔽属性的导电膜（典型的导电膜的基本成分是铝、铜或银，10 或者这些薄片状膜和其它导电膜）的阴极 4305 形成在 EL 层 4304 上。最好能够尽可能多地除去存在于阴极 4305 和 EL 层 4304 之间连接面中的潮气和氧。因此，需要在真空中连续形成这些膜、或者在氮气或惰性气体中形成 EL 层 4304 从而使阴极 4305 不与氧和潮气相接触。实施例 14 中上面说明的沉积通过使用多腔室方法（簇装置方法）的沉积装置来得到。

15 阴极 4305 与布线 4005 在如 4306 所示的区域中连接。布线 4005 是用来将已确定的电压作用到阴极 4305 上的布线，并且通过各向异性的导电膜 4307 与 FPC4006 相连接。

如上所述，形成了包含像素电极（阳极）4302、EL 层 4304 和阴极 4305 的 EL 元件。第一密封材料和通过第一密封材料 4101 堆放给基片 4001 的覆盖 20 材料 4012 将 EL 元件包围，并用填充物 4103 将其密封。

玻璃板、金属板（典型为不锈钢板）、陶瓷板、FRP（玻璃纤维-增强塑料）板、PVF（聚乙烯氟化物）膜、Myler 膜，聚脂膜或丙烯酸膜能用来作为覆盖材料 4102。进一步，具有铝箔结构的薄片由 PVF 膜或 Myler 膜夹在中间。

假定，覆盖材料需要是透明的，在这种情况下，来自 EL 元件的辐射被引 25 导到朝向覆盖材料的方向上。在这种情况下，可以使用类似玻璃板、塑料板、聚脂膜或丙烯酸膜的透明物质。

紫外线固化树脂或热固树脂能可以作为填充物 4103 使用，并且可以使用 PVC（聚乙烯氯化物）、丙烯酸、聚酰亚胺、环氧树脂、硅酮树脂、PVB（聚 30 乙烯丁缩醛）或 EVA（乙烯烷基醋酸盐）。如果干燥剂（最好是氧化钡）形成在填充物 4103 的内部，能防止 EL 元件变质。

进一步, 垫圈可以包括在填充物 4103 内。当垫圈由氧化钡形成时, 能够赋予垫圈自己吸收潮气的能力。另外, 在阴极 4303 上提供树脂膜是有用的, 作为一个缓冲层释放在安置垫圈时来自垫圈的压力。

布线 4005 通过各向异性的导电膜 4307 与 FPC4006 电连接。布线 4005 传送从 FPC4006 送到像素部分 4002、源极侧驱动电路 4003 和栅极侧驱动电路 4004 的信号, 并且通过 FPC4006 与外部设备电连接。

在实施例 16 中采用了一个彻底保护 EL 元件免受外来气体损害的结构, 其中提供有第二密封材料 4104, 使之覆盖第一密封材料 4101 露出部分和 FPC4006 的一部分。这样完成了具有图 14B 中剖面结构的 EL 显示器件。注意实施例 16 的 EL 显示器件可以与实施例 1~10 和 13~15 中的任一结构组合制造。

像素部分剖面上的更详细结构如图 15、图 16A 的顶视图和图 16B 中的电路图所示。在图 15、16A 和 16B 中使用了相同的附图标记, 使得附图之间可以互相比较。

在图 15 中, 位于基片 4401 上的转换 TFT4402 包含图 4B 中的 n-沟道 TFT304。从而, 可以引用对 n-沟道 TFT304 的描述。由 4403 表示的布线是栅极布线, 其与转换 TFT4402 的栅极 4404a 和 4404b 电连接。

当实施例 16 采用形成有两个沟道形成区的双栅极结构时, 也可以采用形成有一个沟道形成区的单栅极结构或形成有三个沟道形成区的三栅极结构。

转换 TFT4402 的漏极布线 4405 与电流控制 TFT4406 的栅极 4407 电连接。注意该电流控制 TFT 由图 4B 中的 p-沟道 TFT301 组成。从而, 关于结构可以引用对 p-沟道 TFT301 的说明。注意当实施例 16 使用双栅极结构时, 还可以使用单栅极结构或三栅极结构。

第一钝化膜 4408 形成在转换 TFT4402 和电流控制 TFT4406 上, 而平面化膜 4409 形成在顶部。对于 TFTs 的步骤, 通过使用平面化膜 4409 弄平非常重要。由于后来形成的 EL 层非常薄, 因此该步骤的存在会引起发光缺陷。因此, 最好在形成像素电极之前弄平, 使得在尽可能平的表面上形成 EL 层。

附图标记 4410 表示包含透明导电膜的像素电极 (EL 元件的阳极), 并且与电流控制 TFT4406 的漏极布线 4411 电连接。含有氧化铟和氧化锡的混合物或含有氧化铟和氧化锌的混合物能作为像素电极 4410 使用。

EL 层 4412 形成在像素电极 4410 上。注意当图 15 仅显示一个像素时，对应于每个 R（红）、G（绿）和 B（蓝）颜色的每个 EL 层都是在实施例 14 中适当形成的。单聚物类有机 EL 材料通过蒸发在实施例 14 中形成。实际上，叠层结构由设置成孔注入层的 20nm 厚的铜酞花青（CuPc）膜形成，和在其上形成 70nm 厚度的 tris-8-quinolinolate ( $\text{Alq}_3$ ) 复合膜作为发光层。可以通过在  $\text{Alq}_3$  中添加类似 quinacridon 或 DCM1 的荧光染料来控制发光颜色。

不过，上述例子是可以作为发光层使用的有机 EL 材料的一个例子，并且，不需要限制在这些材料中。可以通过自由组合发光层、电荷传输层或者电荷注入层来形成 EL 层（用于发光和为了发光实现载体运动的层）。例如，使用单聚物类材料作为发光层的例子如实施例 16 所示，但是也可以使用聚合物类有机 EL 材料。进一步，能够使用类似硅碳化物等无机材料作为电荷传输层和电荷注入层。可以使用众所周知的材料作为有机 EL 材料 and 无机材料。

包含有光屏蔽属性的导电膜的阴极 4413 接下来形成在 EL 层 4412 上。就实施例 16 来说，可以使用铝和锂的合金膜作为具有光屏蔽属性的导电膜。不言而喻，也可以使用众所周知的 MgAg 膜（镁和银的合金膜）作为阴极材料，可以使用含有属于周期表中 1 或 2 族元素的导电膜，或者添加了至少这些元素中的一种的导电膜。

EL 元件 4414 在形成阴极 4413 时完成。注意这里形成的 EL 元件 4414 代表含有像素电极（阳极）4410、EL 层 4412 和阴极 4413 的电容器。

接下来通过图 16A 说明实施例 16 中像素的顶部结构。转换 TFT4402 的源极区与源极布线 4415 连接，而漏极区与漏极布线 4405 连接。进而，漏极布线 4405 与电流控制 TFT4406 的栅极 4407 电连接。电流控制 TFT4406 的源极区与电源布线 4416 电连接，而漏极区与漏极布线 4417 电连接。漏极布线 4417 与用虚线表示的像素电极（阳极）4418 电连接。

这里，存储电容器形成在由 4419 表示的区域中。存储电容器 4419 由与电源布线 4416 电连接的导电膜 4420、栅绝缘膜（没有示出）同样的层形成的栅绝缘膜和栅极 4407 形成。进一步，能够采用由栅极 4407 形成的电容、用和第一个夹层绝缘膜（没有示出）同样的层形成的层和电源布线 4416 作为存储电容器。

在制造实施例 16 的 EL 显示器件的过程中，可以自由组合实施例 1~10

和13~15中的结构。

[实施例17]

在实施例17中,说明含有与实施例16不同的像素结构的EL显示器件。图17是用于说明的。注意实施例16的说明中可能提到与图15给出的同样附图标记的参考部分。

在图17中,具有与图4B的n-沟道TFT302相同结构的TFT作为电流控制TFT4501。不言而喻,电流控制TFT4501的栅极4502与转换TFT4402的漏极布线4405连接。电流控制TFT4501的4303漏极布线与像素电极4504电连接。

- 10 在实施例17中,通过使用有光屏蔽属性的导电膜来形成像素电极4504,并且具有EL元件的阴极功能。实际上使用铝和锂的合金膜,但是这里可以使用包含属于周期表1或2族元素的导电膜,或添加有这些元素的导电膜。

- 在像素电极4504的顶部形成EL膜4505。注意虽然图17仅显示一个像素,但对应于G(绿色)的EL层是通过蒸发方法或涂覆方法(最好是自旋涂法) 15 在实施例15中形成的。实际上,它是一个含有用来作为电子注入层的20nm厚的氟化锂(LiF)膜和其上的用来作为发光层的70nm厚的PPV(poly-p-phenylene vinylene)的叠层结构。

接下来,包含透明导电膜的阳极4506形成在EL层4505上。在实施例17中,使用含有氧化铟和氧化锡的化合物或含有氧化铟和氧化锌的化合物。

- 20 在形成阳极4506时,EL元件4507完成。注意此处的EL元件4507代表由像素电极(阴极)4504、EL层4505和阳极4506形成的电容器。

- 这里,具有本发明的结构的电流控制TFT4501有非常重要的意义。由于电流控制TFT4501是用来控制在EL元件4507中流过的电流量的元件,该元件中流过大电流会由于产生大量的热或热流而有损坏的危险。因此本发明的结 25 构是有效的,其中LDD区4509的设置使得通过在电流控制TFT4501的漏极侧上插入栅绝缘膜4508来将栅极4502遮盖起来。

- 另外,实施例17中的电流控制TFT4501在栅极4502和LDD区4509之间形成一个寄生电容,将其称之为栅极电容。通过调整栅极电容能够提供与图16A和16B中所示的存储电容器4418相同的功能。特别是在通过使用数字驱 30 动方法驱动EL显示器件的情况下,能够使用该栅极电容作为存储电容器。

因为存储电容器的电容比由模拟驱动方法驱动的要小。

注意在实施例 17 中的 EL 显示器件的制作中可以自由地组合实施例 1~11 和 13~15 中的结构。

#### [实施例 18]

5 在实施例 18 中, 可以在实施例 16 和 17 的 EL 显示器件的像素部分中使用的像素结构的例子如图 18A 至 18C 所示。注意在实施例 16 中, 附图标记 4601 表示转换 TFT4602 的源极布线, 4603a 和 4603b 表示转换 TFT4602 的栅极布线, 4604 表示电流控制 TFT, 4605 表示电容器, 4606 和 4608 表示电源布线, 4607 表示 EL 元件。

10 图 18A 是电源线 4606 在两个像素之间共用情况的例子。即, 其特征在于两个像素在电源线 4606 周围线性左右对称地形成。以这种方式, 电源线的数量可以减少, 所以像素部分可以更高的精度制成。

图 18B 是电源线 4608 和栅极布线 4603a 和 4603b 平行形成的例子。注意图 18B 结构中电源线 4608 和栅极布线 4603a 和 4603b 的形成使得不重叠。然  
15 而为防止万一在不同层上形成布线, 通过插入绝缘膜能重叠。在这种情况下, 仅电源线 4608 和栅极布线 4603a 和 4603b 使用的区域能共用, 所以像素部分能以更高的精度制成。

此外, 图 18C 的特征在于电源线 4608 以与栅极布线 4603a 和 4603b 平行的方式形成, 和图 18B 的结构相似, 另外, 形成的两个像素在电源线 4608 周  
20 围具有线性左右对称性。对于形成电源线 4608 来将栅极布线 4603a 或 4603b 中的一个覆盖起来是有效的。在这种情况下电源线的数量可减少, 所以像素部分能以更高的精度形成。

#### [实施例 19]

按照本发明形成的光电元件或半导体电路能用来作为电子机器的显示部分  
25 或者信号处理电路。以下给出这类电子机器的例子: 摄象机; 数码照相机; 放映机; 投影电视; 眼睛式显示器 (固定在头上的显示器); 导航系统; 声音复制装置; 笔记本类个人计算机; 游戏机; 便携式信息终端 (手提计算机, 手提电话, 手提游戏机或电子笔记本等); 具有记录媒体的图像复制装置等。这些例子用图 19A~19F, 20A~20D 和 21A~21B 表示。

30 图 19A 是一部手提电话, 并且包括主机体 2001、声音输出部分 2002、声

音输入部分 2003、显示器部分 2004、操作开关 2005 和天线 2006 等。本发明的光电元件能应用到显示器部分 2004 中，并且本发明的半导体电路能应用到声音输入部分 2003、声音输出部分 2002 和 CPU 或存储器等。

图 19B 是摄像机，包含主机体 2101、显示器部分 2102、声音输入部分 2103、操作开关 2104、电池 2105 和图像接收部分 2106。本发明的光电元件能应用到显示器部分 2102 中，并且本发明的半导体电路能为声音输入部分 2103、CPU 或存储器等所使用。

图 19C 是手提计算机，包括主机体 2201、照相机部分 2202、图像接收部分 2203、操作开关 2204 和显示器部分 2205。本发明的光电元件能应用到显示器部分 2205 中，并且本发明的半导体电路能为 CPU 或存储器等所使用。

图 19D 是眼睛式显示器，包括主机体 2301、显示器部分 2302 和镜腿部分 2303。本发明的光电元件能应用到显示器部分 2302 中，并且本发明的半导体电路能为 CPU 或存储器等使用。

图 19E 是背面投影型放映机（投影电视），包含主机体 2401、光源 2402、液晶显示器件 2403、极化光束分离设备 2404、反射器 2405 和 2406、屏幕 2407。本发明能应用到液晶显示器件 2403 中，并且本发明的半导体电路能为 CPU 或存储器等使用。

图 19F 是前面投影型放映机，包含主机体 2501、光源 2502、液晶显示器件 2503、光学系统 2504 和屏幕 2505。本发明能应用到液晶显示器件 2503 中，并且本发明的半导体电路能为 CPU 或存储器等使用。

图 20A 是手提电脑，包含主机体 2601、图像输入部分 2602、显示器部分 2603 和键盘 2604。本发明的光电元件能应用到显示器部分 2603 中，并且本发明的半导体电路能为 CPU 或存储器等使用。

图 20B 是电子游戏机，包含主机体 2701、记录媒介 2702、显示器部分 2703 和操纵器 2704。从该电子游戏机输出的声音或图像由有外壳 2705 和显示器部分 2706 的显示器复制。可以使用有线通信、无线通信或光通信作为操纵器 2704 和主机体 2701 之间或者电子游戏机和显示器之间的通信方式。在实施例 17 中，使用通过传感器 2707 和 2708 检测红外线辐射的结构。

图 20C 是唱盘机，使用节目记录在其上的记录媒介（以下称之为记录媒介），包含主机体 2801、显示器部分 2802、扬声器部分 2803、记录媒介 2804

和操作开关 2805。注意利用 DVD (digital versatile disk)、光盘等记录媒介通过该装置能进行音乐欣赏、电影欣赏、玩游戏和使用因特网。本发明的光电元件能应用到显示器部分 2802 中, 并且本发明的半导体电路能为 CPU 或存储器等使用。

5 图 20D 是数码照相机, 包含主机体 2901、显示设备 2902、取景器 2903、操作开关 2904 和图像接收部分 (图中没有显示)。本发明的光电元件能应用到显示器部分 2902 中, 并且本发明的半导体电路能为 CPU 或存储器等使用。

图 21A 中表示的光学工具包括光源系统 3001、镜子 3002 和 3005~3007、二色性镜子 3003 和 3004、光学透镜 3008a ~3008c, 棱镜 3011、液晶显示器件 10 3010 和光学投影系统 3012。光学投影系统 3012 是配备有投影透镜的光学系统。实施例 17 显示三级的例子, 但是没有特殊的限制, 例如一级也可接受。进一步, 操作员可以在图 21A 中箭头表示的光学路径里适当地设置光学系统, 例如光学透镜、具有偏振功能的偏振膜、用于调整相位差的膜、IR 膜等。

如图 21B 所示, 光源系统 3001 包括光源 3013 和 3014、组合棱镜 3015、15 准直透镜 3016 和 3020、透镜组 3017 和 3018 和偏振转换元件 3019。注意图 21B 表示的光源使用了 2 个光源, 但是可以是 1 个或 3 个或更多。进一步, 适当地放置光学透镜、具有偏振功能的偏振膜、用于调整相位差的膜、IR 膜等是可以接受的。

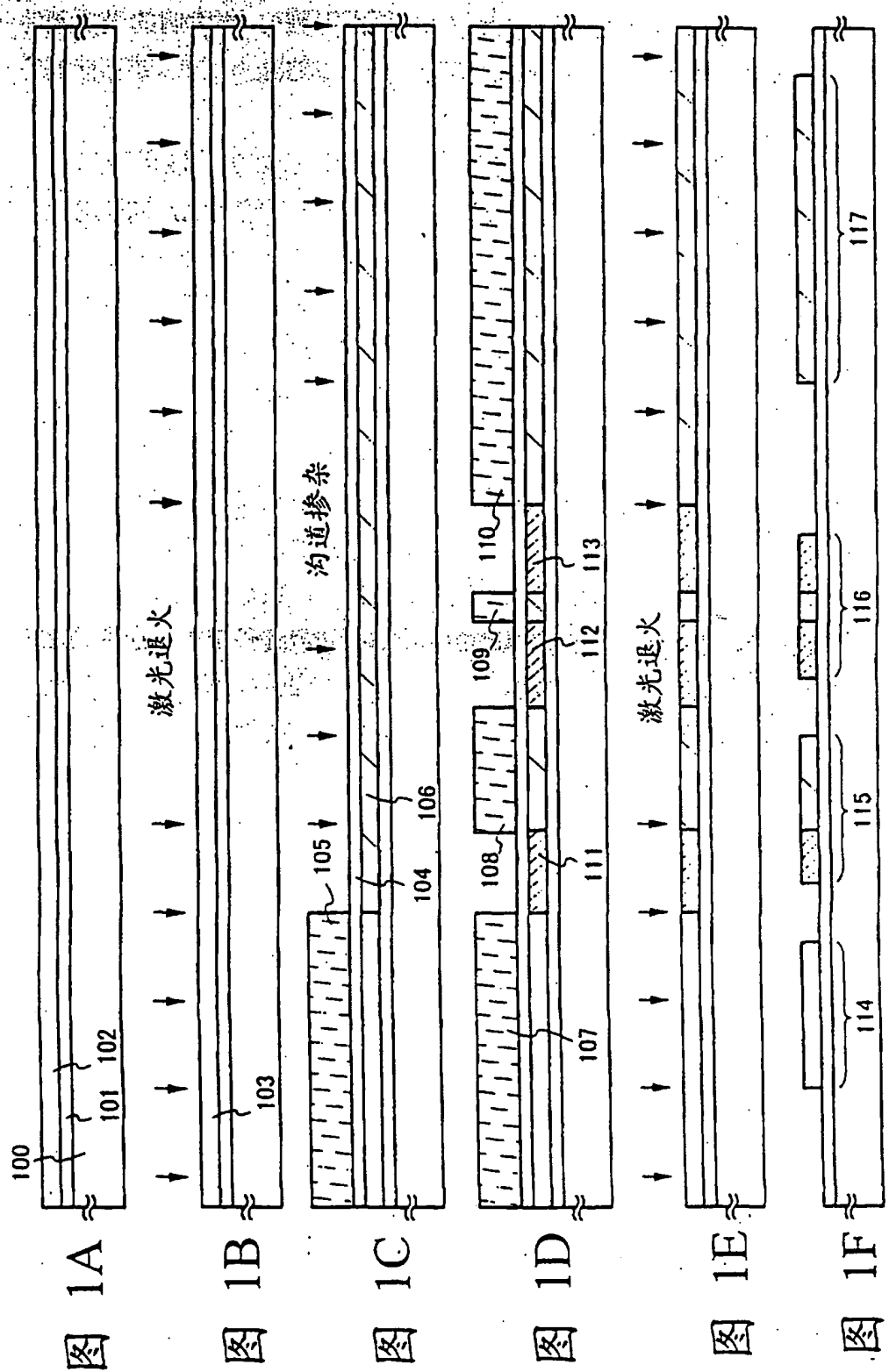
如上所示, 本发明的可适用的范围非常大, 能够适用于各种的领域的电子 20 机器。进一步, 能通过利用实施例 1~10 和 13~18 任何组合的结构来实现实施例 19 中的电子装置。

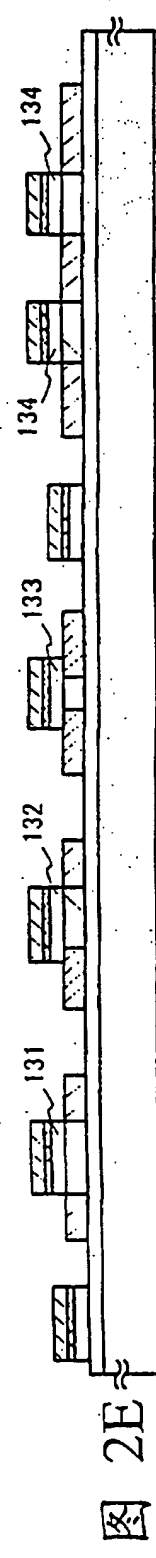
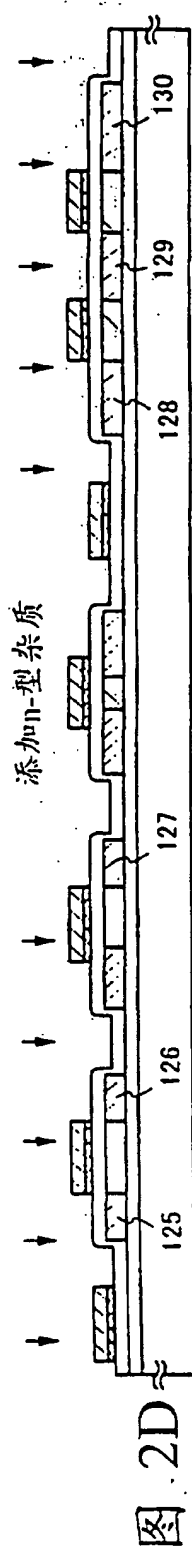
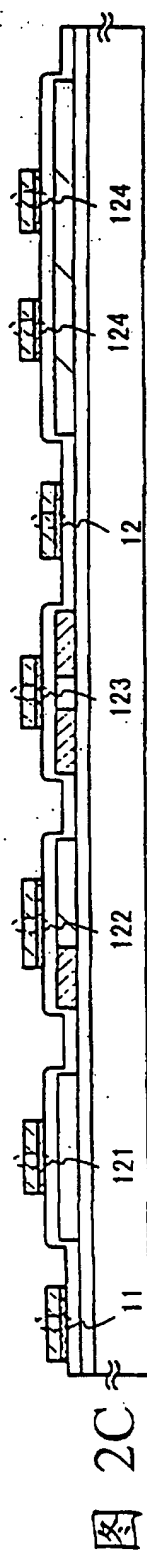
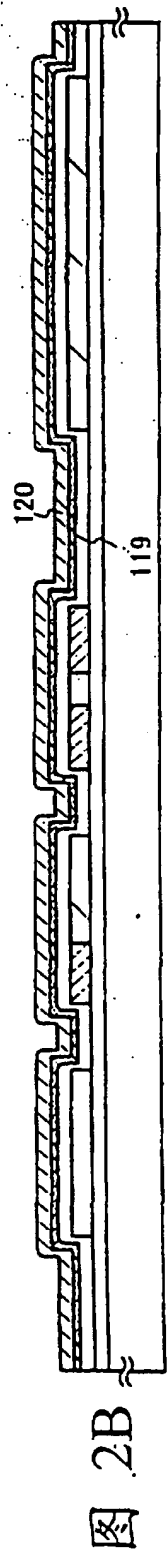
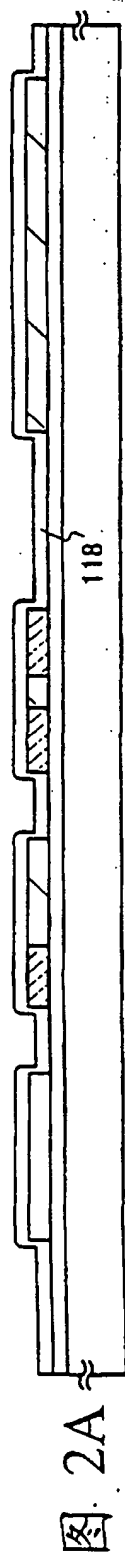
通过使用本发明, 通过一个基片上的电路根据操作的需要设置具有合适性能的电路成为可能。光电元件的操作性能和稳定性能大大改善。

进一步, 在小面积中有大容量的存储电容器能在由液晶显示器件所代表的光电元件的像素部分中形成。从而, 不使缝隙比率 (有效显示区和像素区之比) 25 减少而能够保持足够的存储电容。

此外, 具有这种光电器件作为显示器部分的电子装置的操作性能稳定。







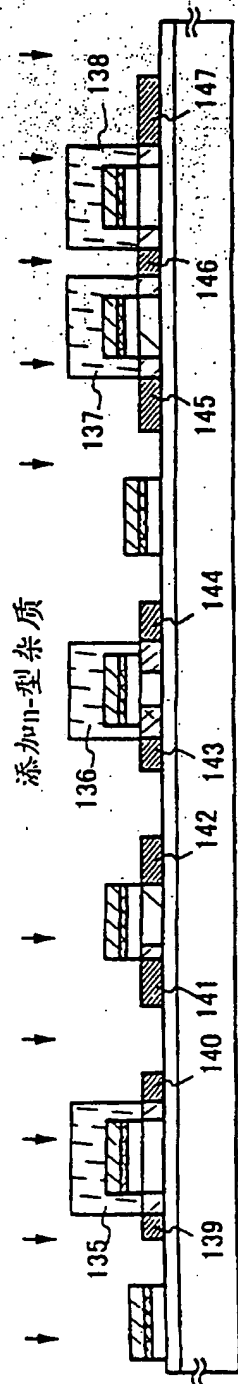


图 3A

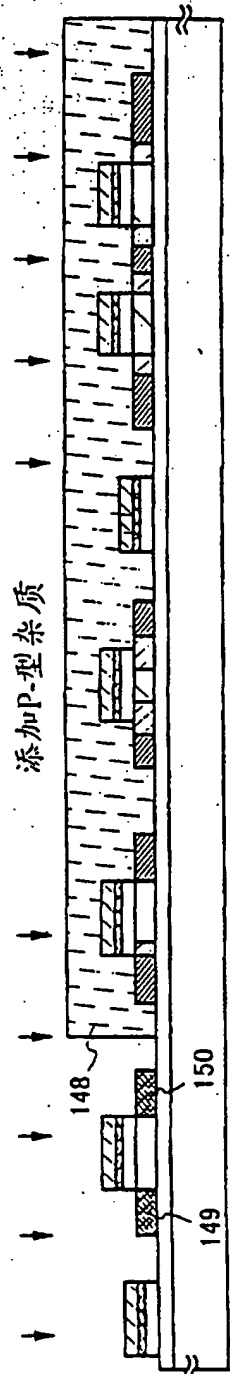


图 3B

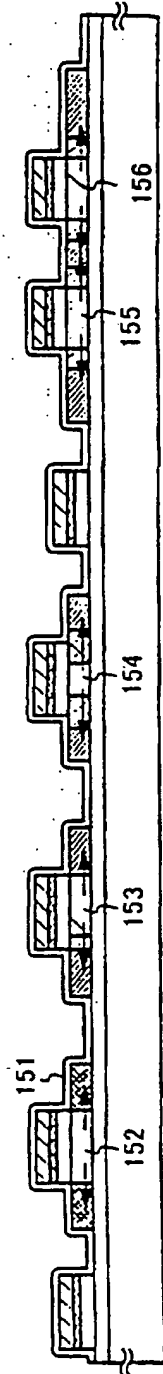


图 3C

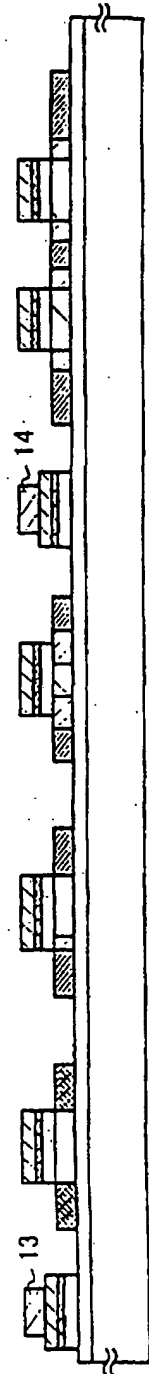


图 3D

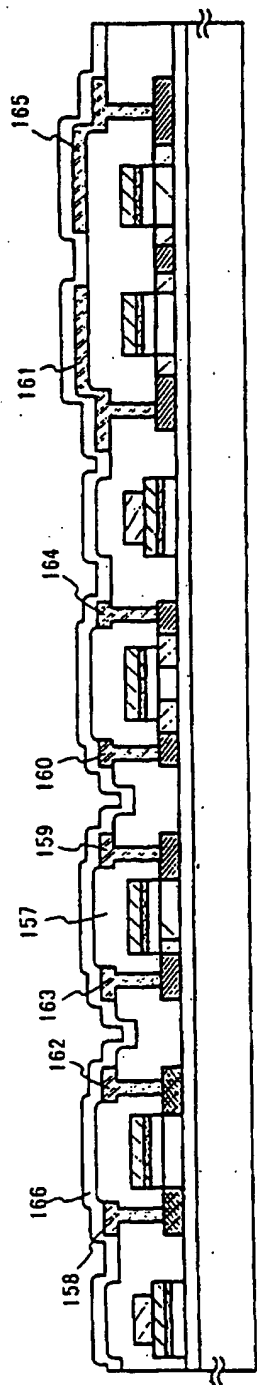


图 4A

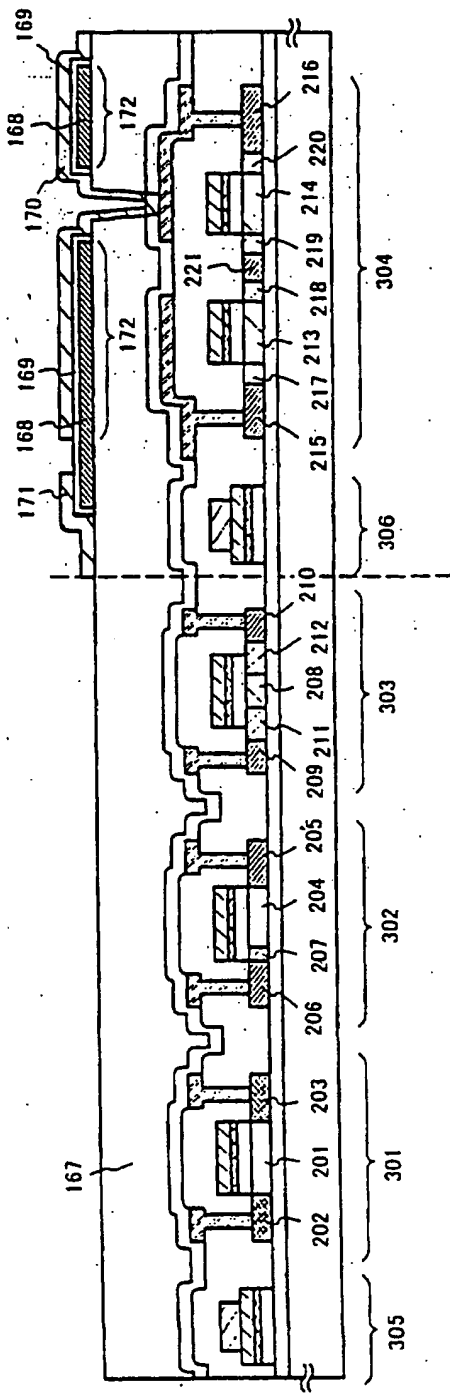


图 4B

像素部分

驱动电路

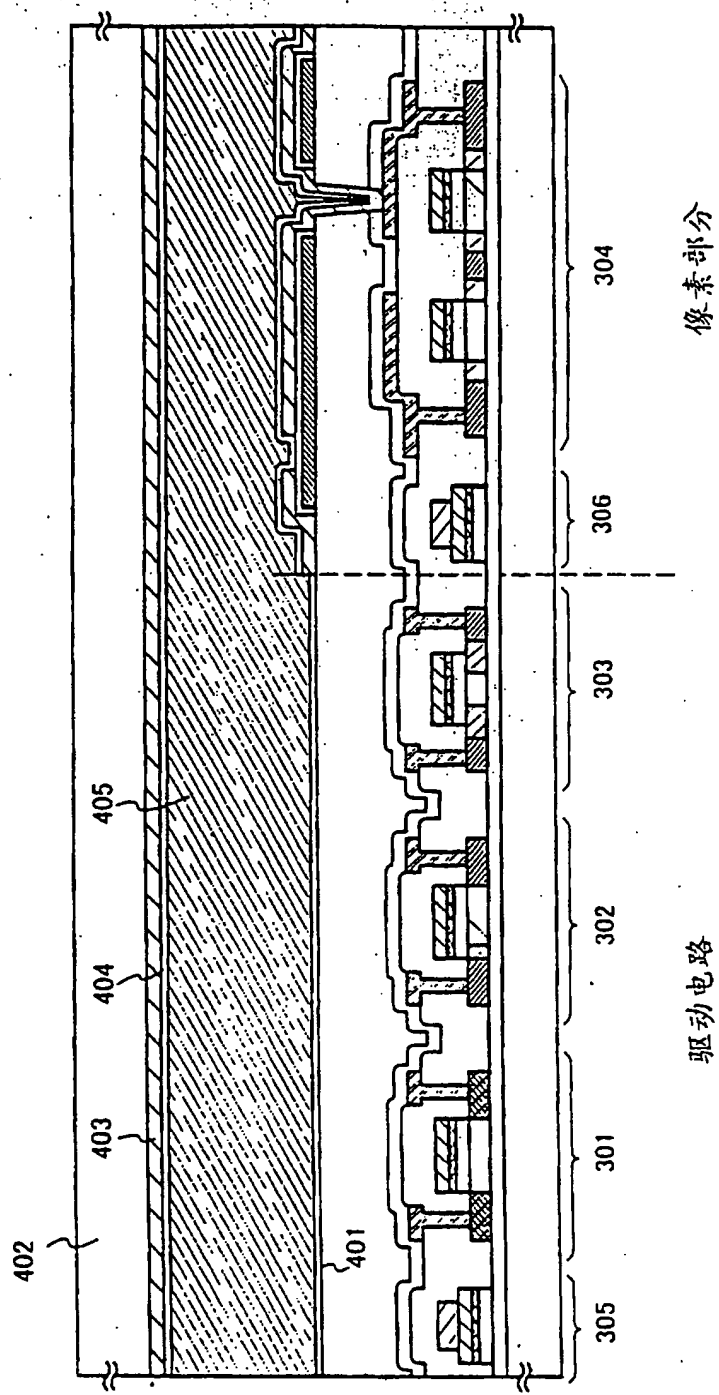


图 5



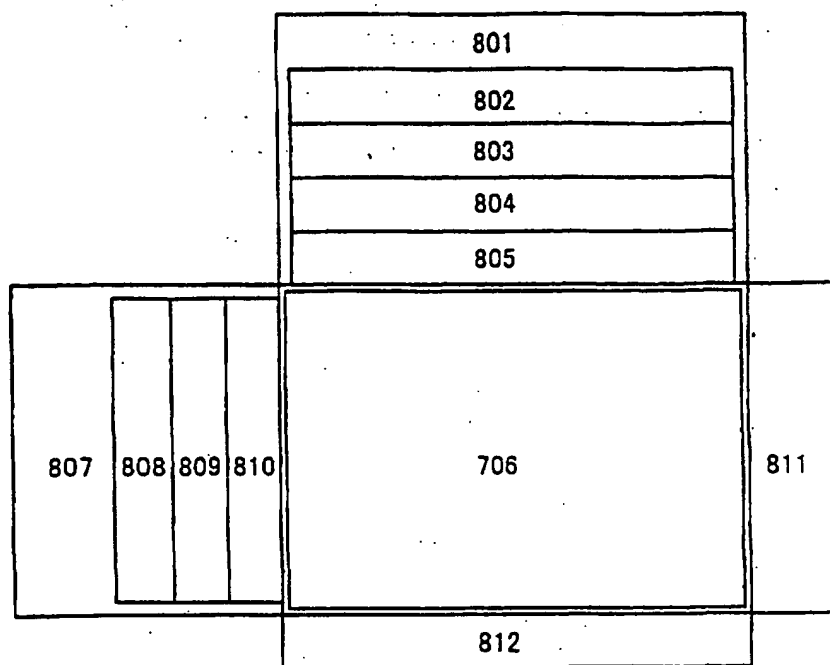


图 8

图 9A

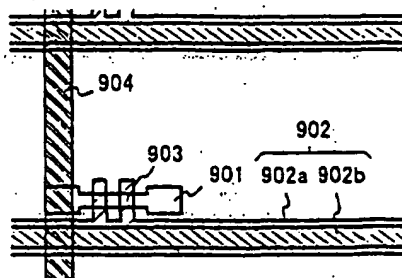


图 9B

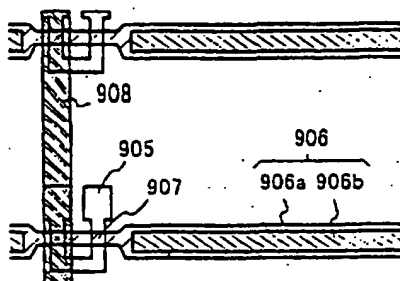


图 9C

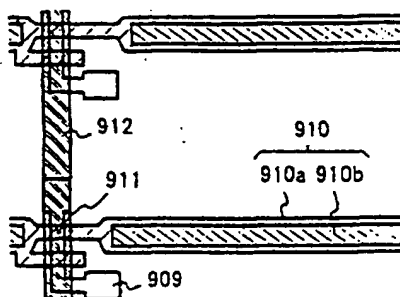
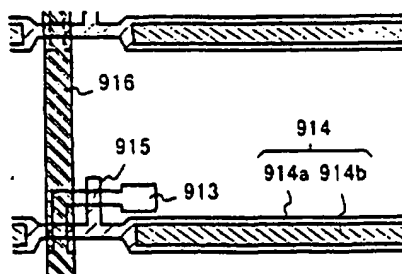


图 9D





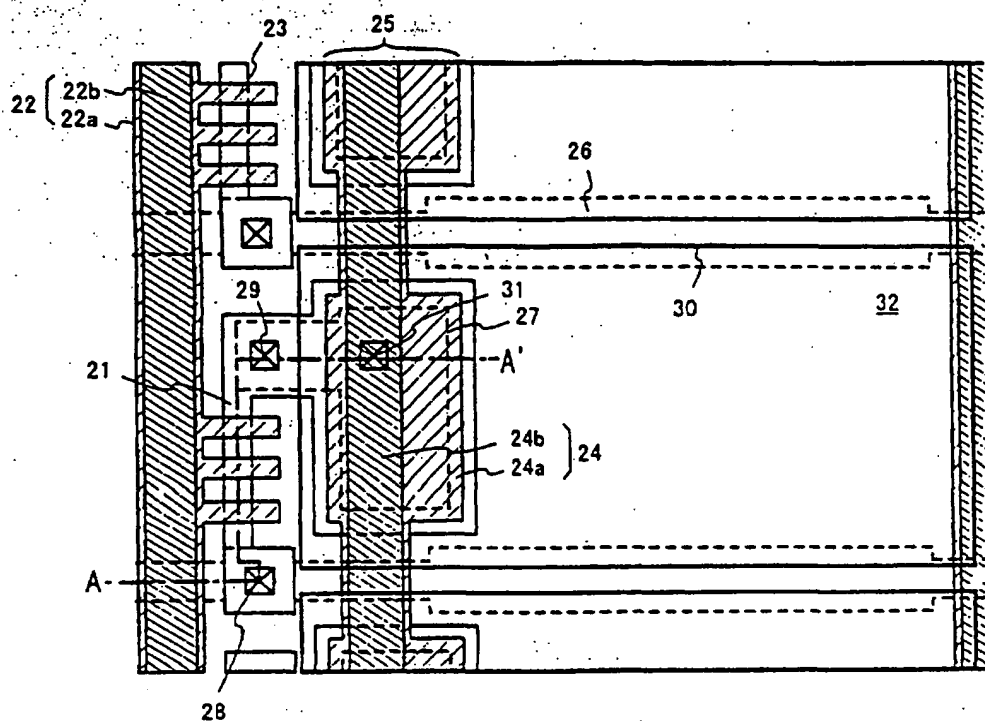


图 10A

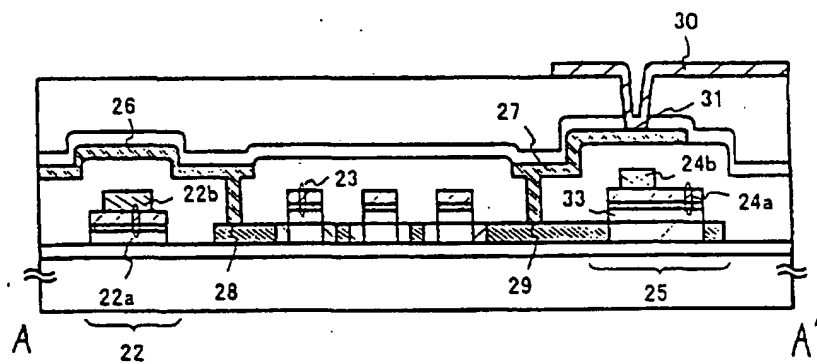


图 10B



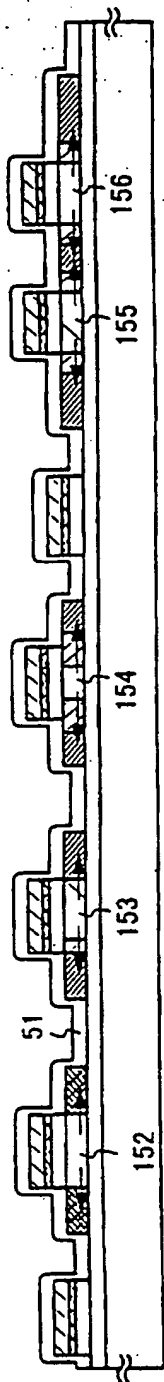


图 12A

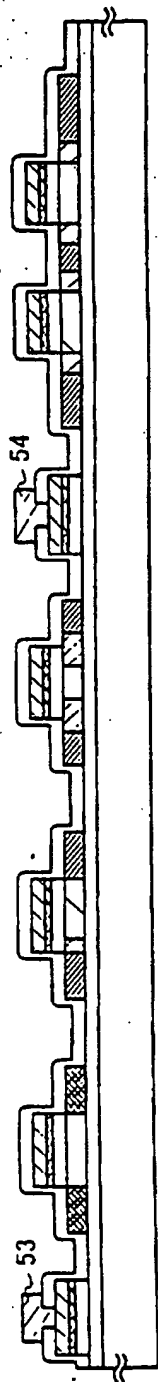


图 12B

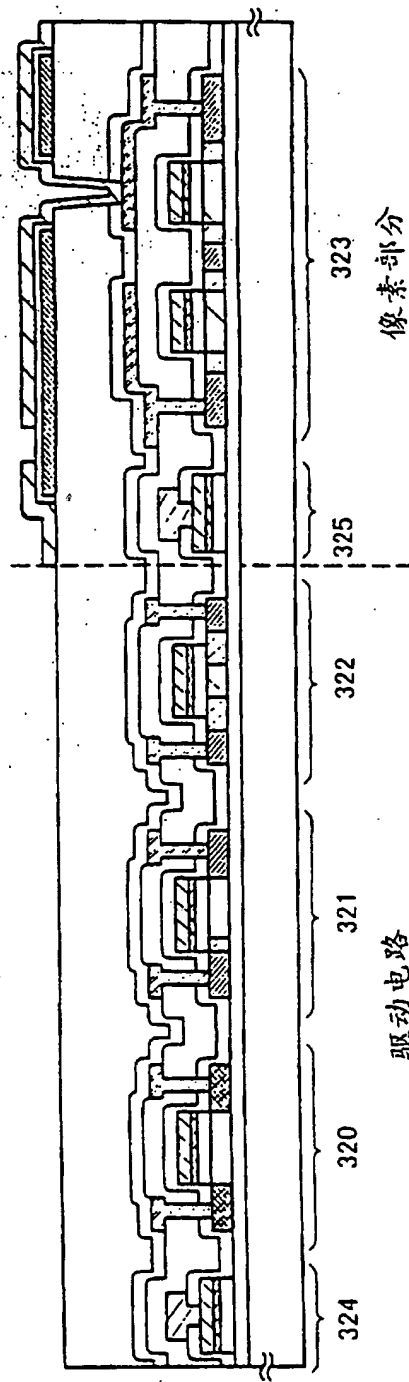


图 12C

像素部分

驱动电路

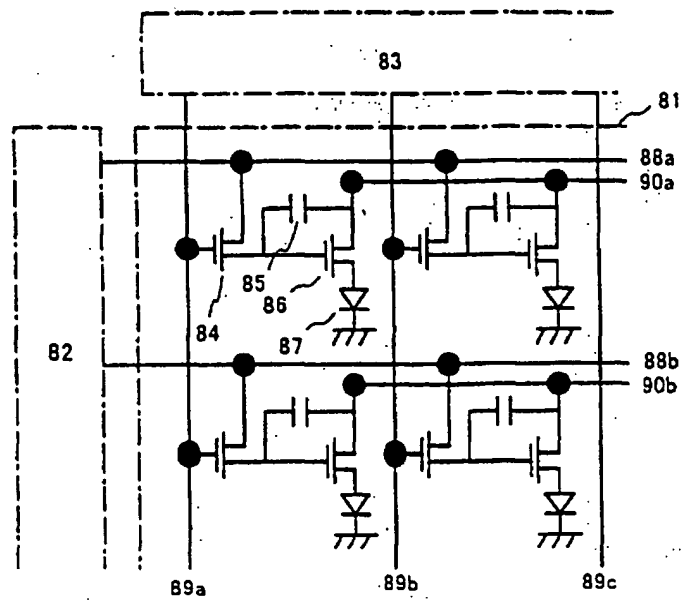


图 13

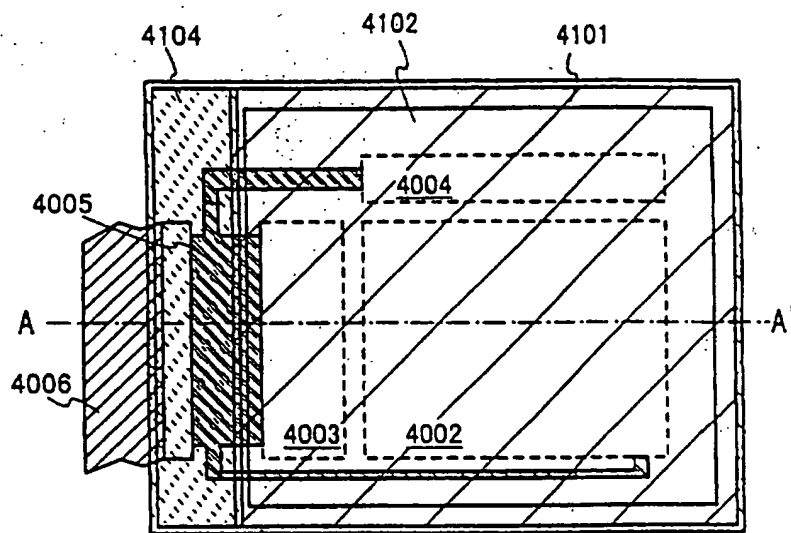


图 14A

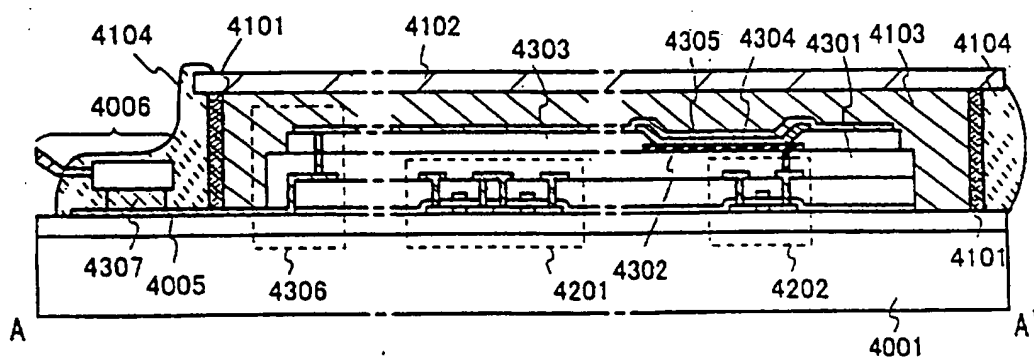


图 14B

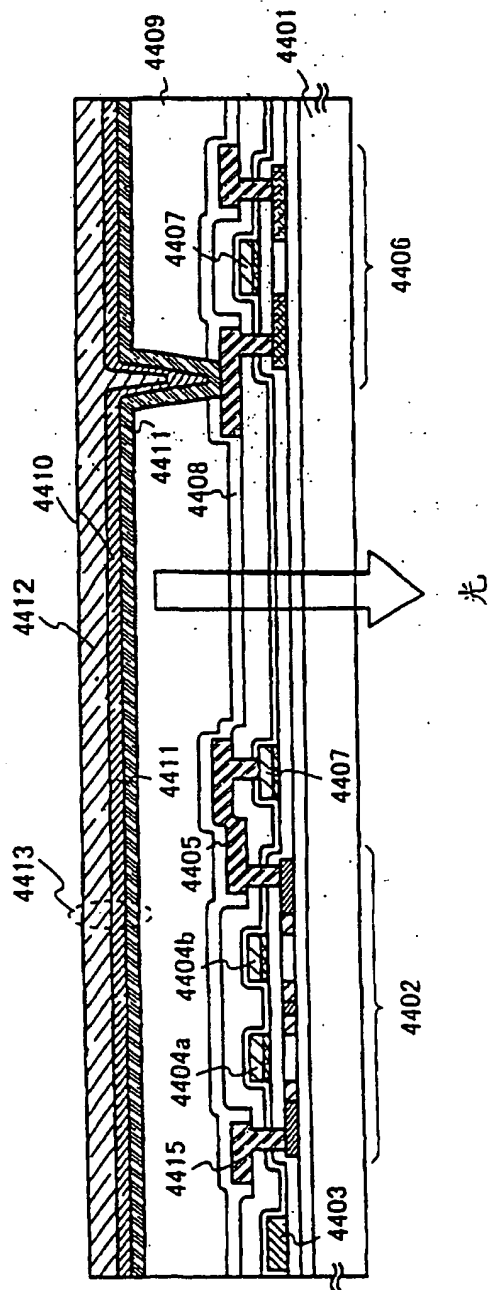


图 15

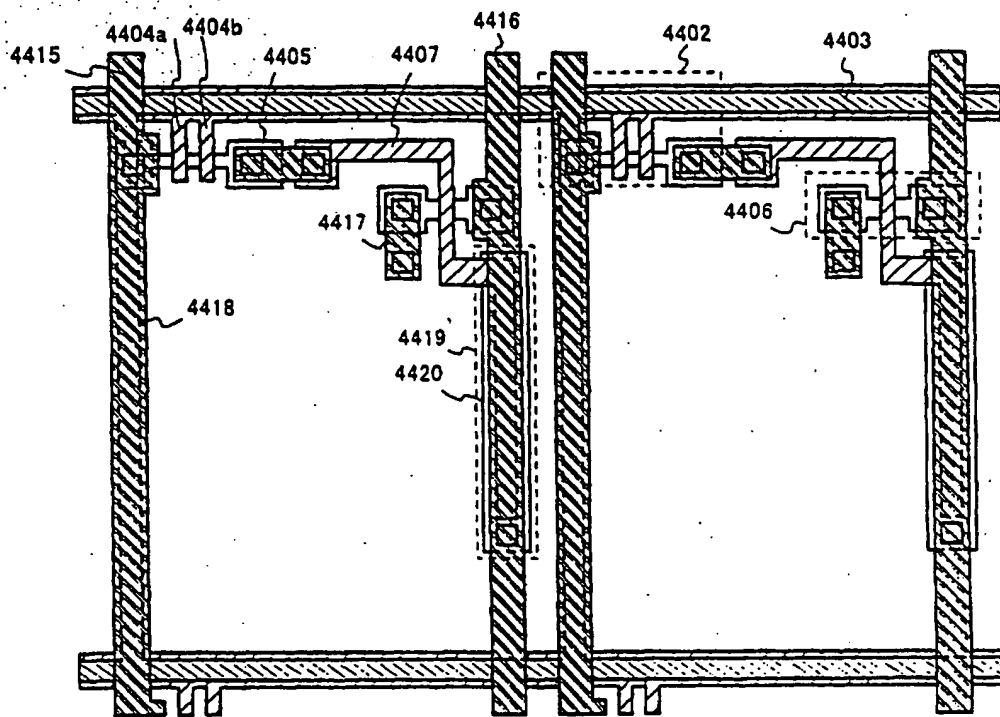


图 16A

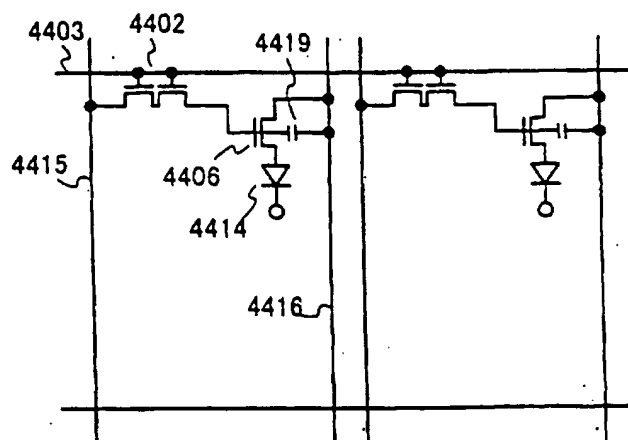


图 16B

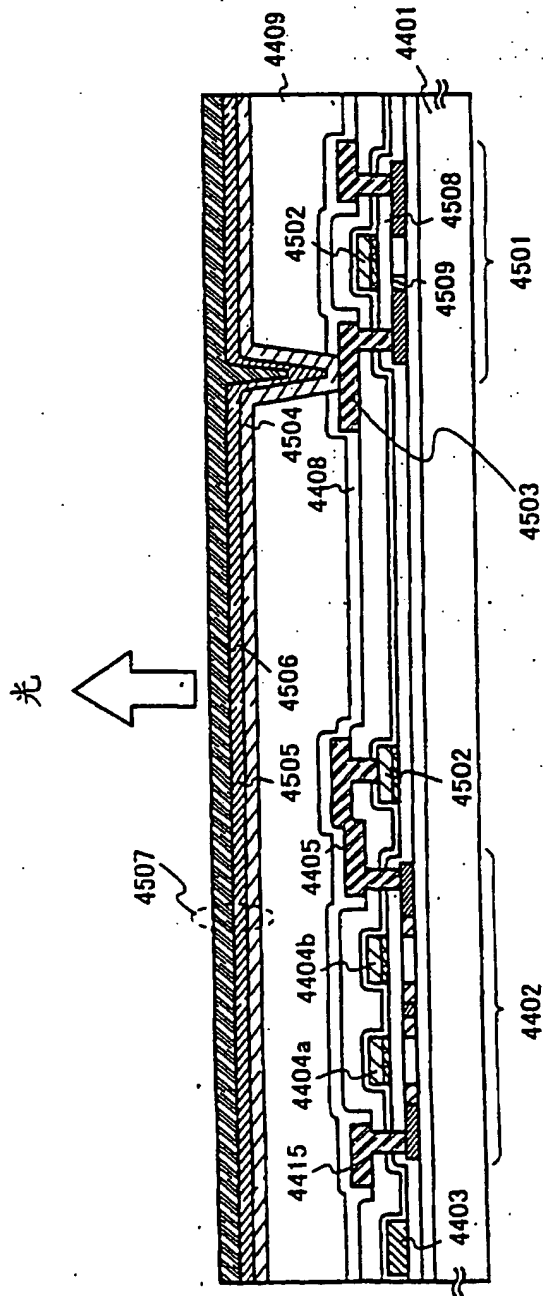


图 17



图 18A

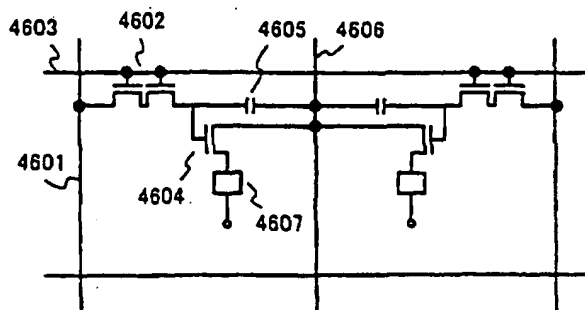


图 18B

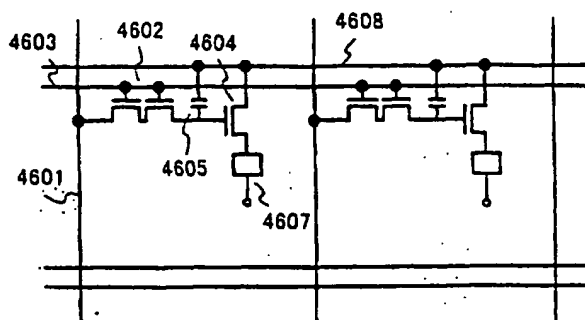
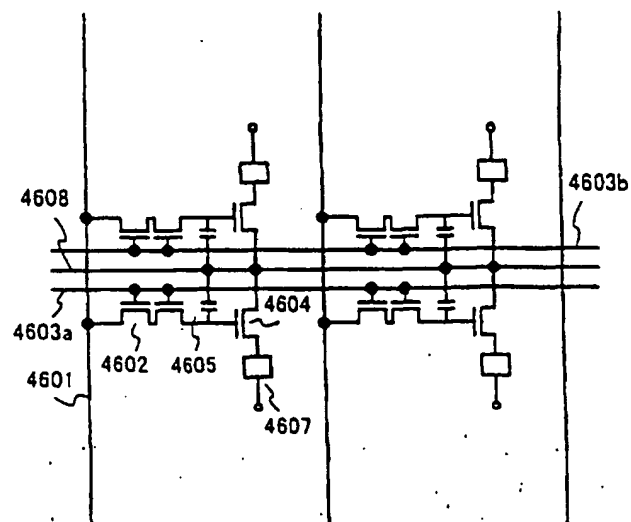


图 18C



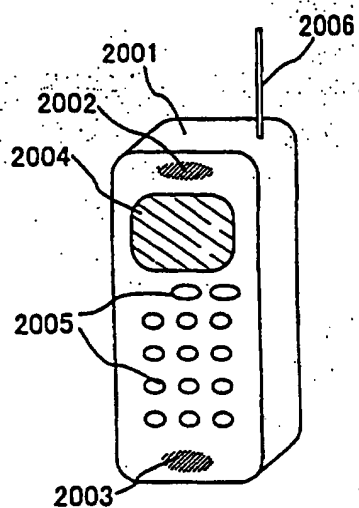


图 19A

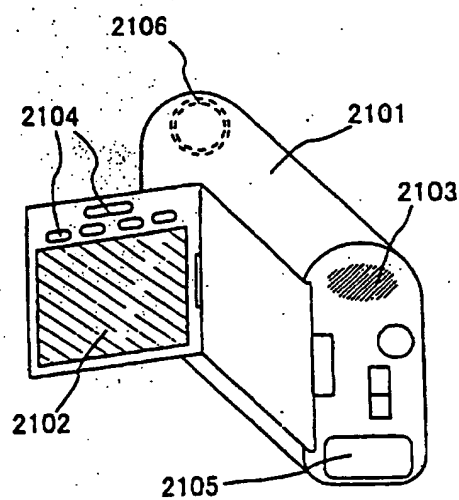


图 19B

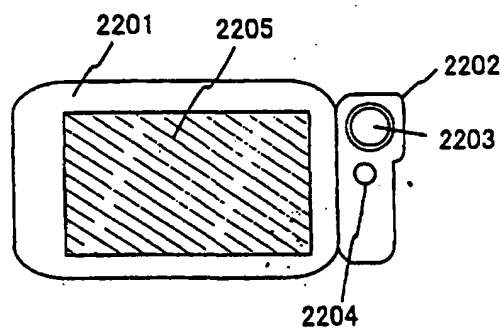


图 19C

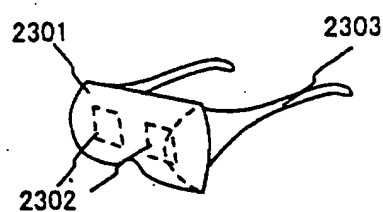


图 19D

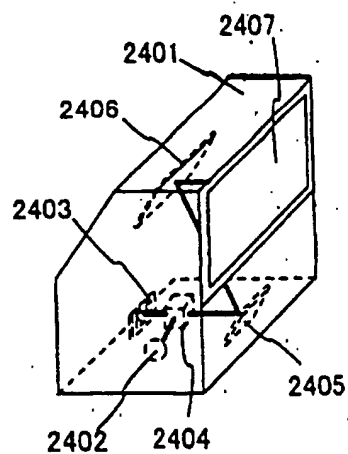


图 19E

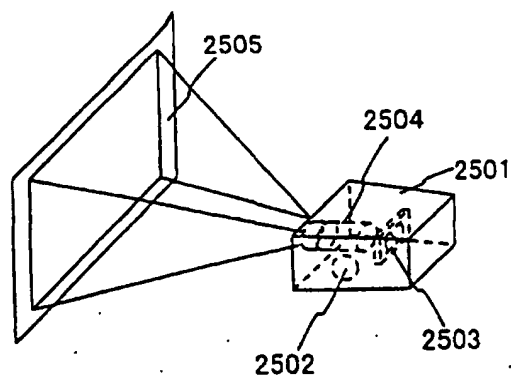


图 19F

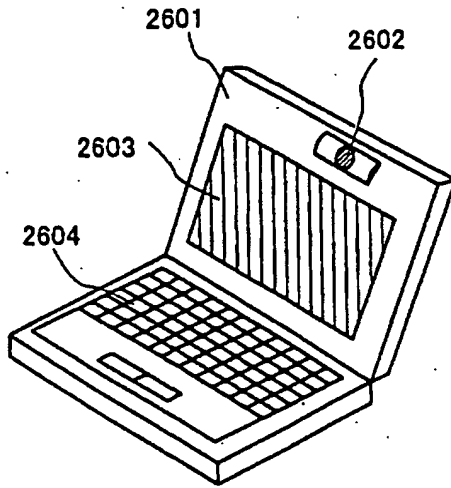


图 20A

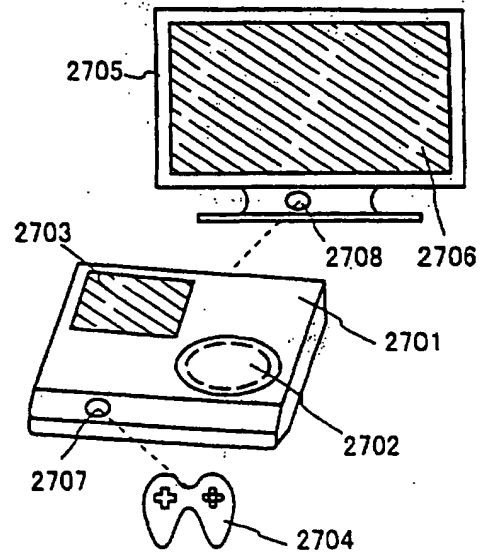


图 20B

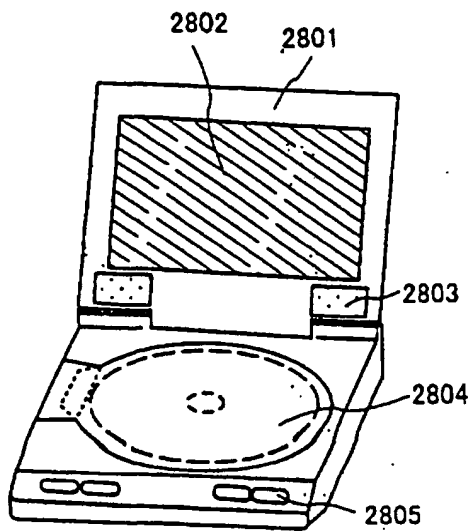


图 20C

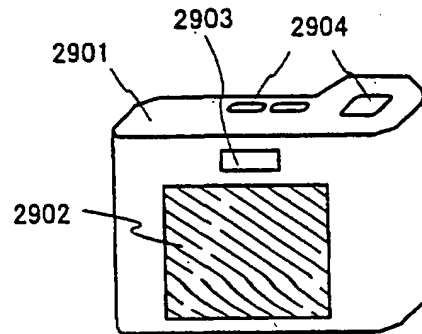


图 20D

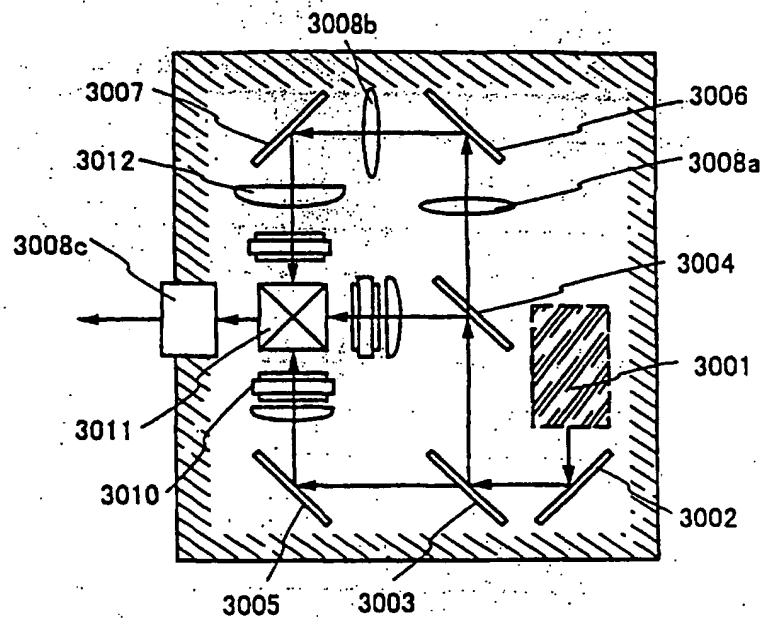


图 21A

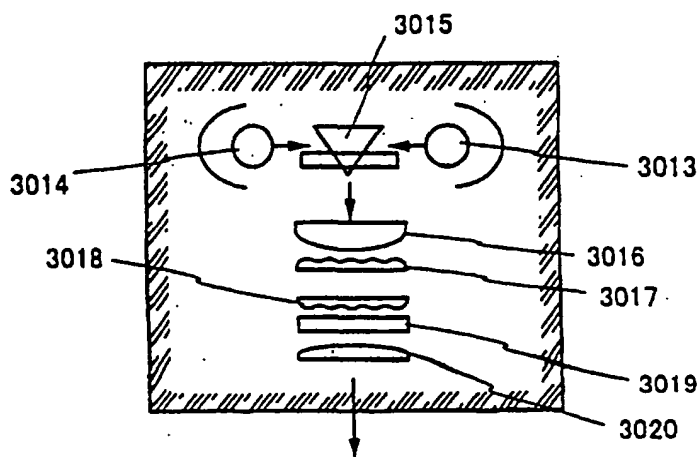


图 21B

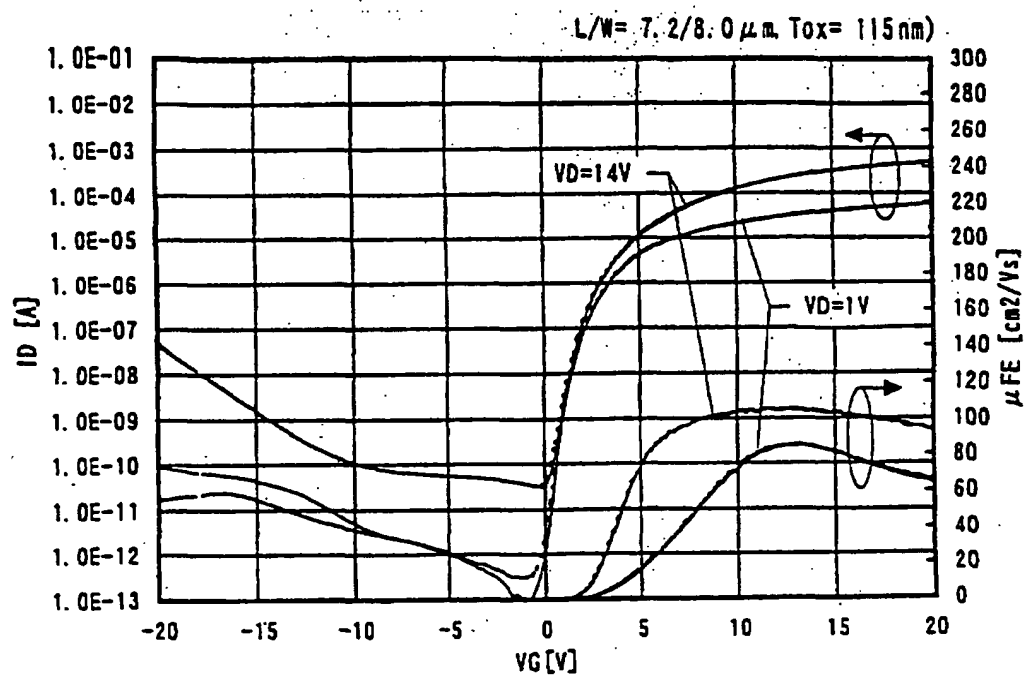


图 22

DIALOG(R)File 352:Derwent WPI

(c) 2005 Thomson Derwent. All rts. reserv.

013423769 \*\*Image available\*\*

WPI Acc No: 2000-595712/200057

XRAM Acc No: C00-178099

XRPX Acc No: N00-441259

**Electrooptical device e.g., liquid crystal display includes a driver circuit and a pixel section having thin film transistors and a wiring laminate**

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Inventor: KOYAMA J; YAMAZAKI S

Number of Countries: 029 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 1041641	A2	20001004	EP 2000105608	A	20000316	200057 B
JP 2000349298	A	20001215	JP 200075017	A	20000317	200104
CN 1276622	A	20001213	CN 2000118807	A	20000326	200118
KR 2000076954	A	20001226	KR 200015092	A	20000324	200134
TW 469484	A	20011221	TW 2000104841	A	20000316	200254

Priority Applications (No Type Date): JP 9984736 A 19990326

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
EP 1041641	A2	E 46	H01L-029/786	

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT  
LI LT LU LV MC MK NL PT RO SE SI

JP 2000349298	A	27	H01L-029/786
CN 1276622	A		H01L-021/00
KR 2000076954	A		H01L-029/786
TW 469484	A		H01L-021/00

Abstract (Basic): EP 1041641 A2

NOVELTY - Electrooptical device includes: a driver circuit including an n-channel thin film transistor (TFT) having a lightly doped drain (LDD) region which overlaps a gate electrode of the TFT by

interposing a gate insulating film; a pixel section including a TFT with at least one LDD region that does not overlap the gate electrode of the TFT through a gate insulating film; and a wiring laminate.

**DETAILED DESCRIPTION** - An electrooptical device consists of a pixel section and a driver circuit on a substrate. An n-channel thin film transistor (TFT) (302) has at least one lightly doped drain (LDD) region. At least a portion of the LDD region overlaps a gate electrode of the n-channel TFT by interposing a gate insulating film. A pixel TFT (304) of the pixel section has at least one LDD region that does not overlap the gate electrode of the pixel TFT through a gate insulating film. A wiring laminate consists of a first wiring formed of the same material and in the same layer as the gate electrode of the pixel TFT and a second wiring having a lower resistivity than the first wiring.

**USE** - The electrooptical device is a display device selected from a liquid crystal display device and an electroluminescence display device (claimed). The display device is incorporated into an electronic apparatus selected from a portable phone, a video camera, a mobile computer, a goggle-type display, a front-type projector, a rear-type projector, a personal computer, a game player, a recording medium and a digital camera (claimed).

**ADVANTAGE** - The electrooptical device has high operation performance and reliability.

**DESCRIPTION OF DRAWING(S)** - The diagram shows a cross sectional structure of an active matrix liquid crystal display device.

p-channel TFT (301)  
n-channel TFTs (302 - 304)  
Input-output signal wiring (305) .  
Gate wiring (306)  
Alignment films (401, 404)  
Opposing substrate (402)  
Opposing electrode (403)  
Liquid crystal film (405)

pp; 46 DwgNo 5/22

Title Terms: DEVICE; LIQUID; CRYSTAL; DISPLAY; DRIVE; CIRCUIT; PIXEL;  
SECTION; THIN; FILM; TRANSISTOR; WIRE; LAMINATE

Derwent Class: L03; P81; P85; U14; X26

International Patent Class (Main): H01L-021/00; H01L-029/786

International Patent Class (Additional): G02F-001/1362; G02F-001/1368;

G09F-009/30; H01L-021/3205; H01L-021/336; H05B-033/12

File Segment: CPI; EPI; EngPI

?



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**